

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017910

International filing date: 02 December 2004 (02.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-426796
Filing date: 24 December 2003 (24.12.2003)

Date of receipt at the International Bureau: 03 March 2005 (03.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

11.01.2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 2 4 日
Date of Application:

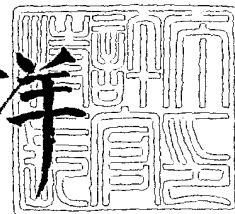
出 願 番 号 特 願 2 0 0 3 - 4 2 6 7 9 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 4 2 6 7 9 6]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 5 年 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



出証番号 出証特 2 0 0 5 - 3 0 1 2 0 8

【書類名】 特許願
【整理番号】 R03004191
【提出日】 平成15年12月24日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/04
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 福田 恵子
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 平木 充
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 堀口 真志
【発明者】
 【住所又は居所】 北海道千歳市泉沢 1 0 0 7 番地 3 9 株式会社ルネサス北日本セ
 ミコンダクタ内
 【氏名】 秋葉 武定
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 市来 周蔵
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 角田 英樹
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 北川 明弘
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【特許出願人】
 【識別番号】 000233594
 【氏名又は名称】 株式会社ルネサス北日本セミコンダクタ
【代理人】
 【識別番号】 100081938
 【弁理士】
 【氏名又は名称】 徳若 光政
 【電話番号】 0422-46-5761
【手数料の表示】
 【予納台帳番号】 000376
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

エミッタに第 1 電流が流れるようにされた第 1 トランジスタと、
上記第 1 トランジスタのエミッタの電流密度よりも大きな電流密度となるような第 2 電流がエミッタに流れるようにされた第 2 トランジスタと、
上記第 1 トランジスタのエミッタと第 2 トランジスタのエミッタ間に設けられた第 1 抵抗と、

上記第 2 トランジスタのエミッタと回路の接地電位との間に設けられた第 2 抵抗と、
上記第 1 トランジスタのコレクタと電源電圧との間に設けられた第 3 抵抗と、
上記第 2 トランジスタのコレクタと上記電源電圧との間に設けられた第 4 抵抗と、
上記第 1 トランジスタのコレクタ電圧と上記第 2 トランジスタのコレクタ電圧とを受け、
て出力電圧を形成するとともに、かかる出力電圧を上記第 1 トランジスタと第 2 トランジスタのベースに共通に供給する CMOS 構成の差動増幅回路とを備えてなることを特徴とする電圧発生回路。

【請求項 2】

請求項 1 において、
上記第 3 抵抗と第 4 抵抗とは、同じ抵抗値を持つように形成されてなることを特徴とする電圧発生回路。

【請求項 3】

請求項 2 において、上記第 1 トランジスタのエミッタ面積は、上記第 2 トランジスタのエミッタ面積よりも大きく形成されてなることを特徴とする電圧発生回路。

【請求項 4】

請求項 3 において、
上記第 1 トランジスタと第 2 トランジスタとは、差動増幅回路を構成する CMOS 回路のプロセスで形成される半導体領域を利用して構成されるものであることを特徴とする電圧発生回路。

【請求項 5】

エミッタに第 1 電流が流れるようにされた第 1 トランジスタと、
上記第 1 トランジスタのエミッタの電流密度よりも大きな電流密度となるような第 2 電流がエミッタに流れるようにされた第 2 トランジスタと、
上記第 1 トランジスタのエミッタと第 2 トランジスタのエミッタ間に設けられた第 1 抵抗と、

上記第 2 トランジスタのエミッタと外部端子から供給された回路の接地電位との間に設けられた第 2 抵抗と、

上記第 1 トランジスタのコレクタと外部端子から供給された電源電圧との間に設けられた第 3 抵抗と、

上記第 2 トランジスタのコレクタと上記電源電圧との間に設けられた第 4 抵抗と、

上記第 1 トランジスタのコレクタ電圧と上記第 2 トランジスタのコレクタ電圧とを受け、
て出力電圧を形成するとともに、かかる出力電圧を上記第 1 トランジスタと第 2 トランジスタのベースに共通に供給する CMOS 構成の差動増幅回路とを含む基準電圧発生回路を備えてなることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 5 において、

上記半導体集積回路装置は、第 1 導電型の半導体基板に形成された第 2 導電型ウェル領域及び第 1 導電型ウェル領域と、上記第 2 導電型領域に形成された第 1 導電型 MOSFET と、上記第 1 導電型ウェル領域に形成された第 2 導電型 MOSFET とからなる CMOS 回路を備え、

基準電圧発生回路を構成する上記第 1 トランジスタと第 2 トランジスタは、上記 CMOS 回路を構成する第 2 導電型 MOSFET のソース、ドレイン拡散層を形成する工程で形成された拡散層をコレクタ及びエミッタとし、上記コレクタとエミッタとしての拡散層が

形成される第1導電型ウェル領域をベースとして動作する横型構造のバイポーラトランジスタであることを特徴とする半導体集積回路装置。

【請求項7】

請求項5において、

上記半導体集積回路装置は、第1導電型の半導体基板に形成された第2導電型ウェル領域及び第1導電型ウェル領域と、上記第2導電型ウェル領域に形成された第1導電型MOSFETと、上記第1導電型領域に形成された第2導電型MOSFETと、上記第2導電型MOSFETが形成された第1導電型ウェル領域を上記第1導電型の半導体基板から電氣的に分離するための深い深さの第導電型ウェル領域とからなるCMOS回路を備え、

上記第1トランジスタと第2トランジスタは、上記CMOS回路を構成する第1導電型MOSFETのソース、ドレイン拡散層を形成する工程で形成された第2導電型拡散層をエミッタとし、上記エミッタを構成する第2導電型拡散層が形成された第1導電型ウェル領域をベースとし、上記ベースを構成する第1導電型ウェル領域を上記第1導電型の半導体基板から電氣的に分離するために設けられた深い深さの第2導電型ウェル領域をコレクタとして用いる縦型構造のバイポーラトランジスタであることを特徴とする半導体集積回路装置。

【請求項8】

請求項5において、

上記半導体集積回路装置は、第2導電型の半導体基板に形成された第2導電型ウェル領域及び第1導電型ウェル領域と、上記第2導電型領域に形成された第1導電型MOSFETと、上記第1導電型ウェル領域に形成された第2導電型MOSFETとからなるCMOS回路を備え、

基準電圧発生回路を構成する上記第1トランジスタと第2トランジスタは、上記CMOS回路を構成する第2導電型MOSFETのソース、ドレイン拡散層を形成する工程で形成された拡散層をコレクタ及びエミッタとし、上記コレクタとエミッタとしての拡散層が形成される第1導電型ウェル領域をベースとして動作する横型構造のバイポーラトランジスタであることを特徴とする半導体集積回路装置。

【請求項9】

請求項6ないし8のいずれかにおいて、

上記第1導電型はp型であり、上記第2導電型はn型であり、

上記外部端子から供給された電源電圧は正の電源電圧であることを特徴とする半導体集積回路装置。

【請求項10】

請求項9において、

上記第2トランジスタは、1つのトランジスタから構成され、上記第1トランジスタは、上記第2トランジスタに対応した単位トランジスタを複数個並列接続して構成されるものであることを特徴とする半導体集積回路装置。

【請求項11】

請求項10において、

第1トランジスタは、複数個からなる上記単位トランジスタが同じ深い深さのウェル領域上に形成され、

上記第2トランジスタは、上記第1トランジスタと同じ構成に形成された複数個からなる単位トランジスタのうちの1つが用いられるものであることを特徴とする半導体集積回路装置。

【請求項12】

請求項11において、

上記基準電圧発生回路で形成された基準電圧を受けて上記外部端子から供給された電源電圧とは異なる内部電圧を発生させる電源回路と、

上記電源回路により動作させられる内部回路と、

上記外部端子から供給された電源電圧を受けて動作し、外部端子から供給された入力信

号を受けてレベル変換して内部回路に伝える入力回路と、

上記外部端子から供給された電源電圧を受けて動作し、内部回路で形成された信号を受けてレベル変換して上記外部端子から出力させるべき出力信号を形成する出力回路とを更に備え、

上記差動増幅回路は、上記外部端子から供給された電源電圧を受けて動作する入力回路及び出力回路を構成する MOSFET と同じプロセスにより形成された P チャンネル MOSFET 及び N チャンネル MOSFET により構成されるものであることを特徴とする半導体集積回路装置。

【請求項 13】

上記内部電圧は、上記外部端子から供給された電源電圧を降圧したものであり、

上記内部回路は、その CMOS プロセスの最小加工寸法で形成されるものであることを特徴とする半導体集積回路装置。

【請求項 14】

請求項 11 において、

上記電源回路は、上記基準電圧を用いた形成された定電圧で動作する昇圧回路及び負電圧発生回路を含み、

かかる昇圧回路及び負電圧発生回路で形成された電圧は、液晶駆動のためのゲート駆動電圧、画像データに対応したソース駆動電圧及び液晶共通電極駆動電圧として出力されるものであることを特徴とする半導体集積回路装置。

【書類名】 明細書

【発明の名称】 電圧発生回路と半導体集積回路装置

【技術分野】

【0001】

この発明は、電圧発生回路と半導体集積回路装置に関し、特にシリコンバンドギャップを利用した基準電圧発生回路及びそれを内蔵する半導体集積回路装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

PNPバイポーラトランジスタのバンドギャップを元にした基準電圧発生部を持つ基準電圧発生回路の例として、Journal of solid-state circuit, vol. SC-8, No. 6, 1973, pp. 222-226. に記載されている。また、NPNバイポーラトランジスタのバンドギャップを元にした基準電圧発生部を持つ基準電圧発生回路の例として、米国特許公報第3887863号、Journal of solid-state circuit, vol. SC-9, No. 12, 1974, pp. 388-393. に記載されている。

【非特許文献1】 Journal of solid-state circuit, vol. SC-8, No. 6, 1973, pp. 222-226.

【非特許文献2】 Journal of solid-state circuit, vol. SC-9, No. 12, 1974, pp. 388-393.

【特許文献1】 米国特許公報第3887863号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記非特許文献1の回路においては、増幅、帰還を行うオペアンプのオフセットばらつきの影響が大きく、これを補正するトリミング回路が必要となって、特に半導体集積回路装置に搭載する場合に使い勝手の悪いものとなる。また、非特許文献2の回路においては、使用するトランジスタがバイポーラトランジスタのプロセスが形成されるものであり、したも正及び負の2電源で動作するものであり、CMOSプロセスで形成される半導体集積回路装置に搭載する場合には不向きなものとなる。

【0004】

本発明の目的は、CMOSプロセスに好適な電圧発生回路及びそれを搭載した半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、第1電流がエミッタに流れるようにされた第1トランジスタと、上記第1トランジスタよりも大きな電流密度となるような第2電流がエミッタに流れるようにされた第2トランジスタとのベース、エミッタ間の電圧差を第1抵抗に流して定電流を形成し、それと直列にして第2抵抗を回路の接地電位側に設け、上記第1トランジスタと第2トランジスタのコレクタと電源電圧との間に第3抵抗と第4抵抗とを設け、上記第1と第2トランジスタの両コレクタ電圧とCMOS構成の差動増幅回路に供給して、出力出力電圧を形成するとともに、かかる出力電圧を上記第1トランジスタと第2トランジスタのベースに共通に供給する。

【発明の効果】

【0006】

CMOS差動増幅回路のオフセットの影響を受けにくい高精度の基準電圧を得るとともに、CMOSプロセスで回路を形成することができる。

【発明を実施するための最良の形態】

【0007】

図1には、この発明に係る基準電圧発生回路の一実施例の回路図が示されている。同図の各回路素子は、公知のCMOS集積回路の製造技術によって、図示しない他の回路素子とともに単結晶シリコンのような1個の半導体基板上において形成される。

【0008】

この実施例の基準電圧発生回路は、バンドギャップ発生部と、増幅・帰還部とから構成される。バンドギャップ発生部は、一対のnpn型のバイポーラトランジスタQ1、Q2と、抵抗R1～R4から構成される。上記トランジスタQ1とQ2は、トランジスタQ2のサイズがトランジスタQ1のn倍に大きく形成される。つまり、この実施例では、上記トランジスタQ2のサイズを大きく形成することにより、トランジスタQ2とQ1に同じ電流を流すようにしたとき、トランジスタQ1のエミッタ電流密度がトランジスタQ2のエミッタ電流密度のn倍となるように設定される。

【0009】

上記トランジスタのエミッタ電流密度差に対応して、トランジスタQ1とQ2のベース、エミッタ間電圧Vbe1とVbe2とは、シリコンバンドギャップに対応した定電圧 ΔV_{be} だけトランジスタQ1のベース、エミッタ間電圧Vbe1が大きく形成される。トランジスタQ1とQ2のベースを共通にして、トランジスタQ2のエミッタに抵抗R3の一端を接続し、抵抗R3の他端を上記トランジスタQ1のエミッタに接続することより、上記定電圧 ΔV_{be} が抵抗R3の両端に印加されて、ここで i_{e2} のような定電流が形成される。上記トランジスタQ1のエミッタと回路の接地電位VSSとの間に抵抗R4が設けられて、トランジスタQ1、Q2のベースから基準電圧Vrefを形成する。

【0010】

特に制限されないが、上記トランジスタQ1とQ2のコレクタと電源電圧VCCとの間には、同じ抵抗値を持つようにされた抵抗R1とR2が設けられる。そして、トランジスタQ1とQ2のコレクタ電圧は、CMOS構成の差動増幅回路AMPの正相入力(+)と逆相入力(-)に供給され、ここで増幅・帰還を行う。つまり、上記差動増幅回路AMPの出力信号は、基準電圧Vrefとして出力されるとともに、上記トランジスタQ1とQ2のベースに帰還される。

【0011】

上記バンドギャップ回路の動作は、次の通りである。バイポーラトランジスタのベース-エミッタ間電圧Vbeは、温度に対して負の電圧係数をもつ特性を持っている。これを温度に対して正の電圧係数をもつベース、エミッタ間電圧Vbe1とVbe2の電圧差 ΔV により補正すれば、温度に依存しない基準電圧Vrefを得ることができる。上記図1のトランジスタQ1とQ2は、前記のようにサイズの異なる(n倍の面積or個数)のバイポーラトランジスタである。トランジスタQ1とQ2のベースに共通電位を与え、トランジスタQ1、Q2のコレクタ電位が等しくなるようにCMOS差動増幅回路AMPを用いてフィードバックをかけることにより基準電圧Vrefが得られる。

【0012】

基準電圧発生回路に用いられるCMOS差動増幅回路では入力部のMOSトランジスタのしきい値電圧Vthばらつきにより出力にオフセット電圧が生じる。例えば、前記非特許文献1に示されているようなPNPバイポーラトランジスタをダイオード接続して用いる図24に示したような基準電圧発生回路では、増幅回路AMPのオフセット電圧Voffの影響が大きく、高精度の基準電圧Vrefを得るためにトリミングを行っている。

【0013】

この実施例の基準電圧発生回路により発生する基準電圧Vrefは次の式(1)のように求められる。

【0014】

$$V_{ref} = V_{be1} + i_{e2} \cdot R_4$$

..... (1)

ここで、上記エミッタ電流 i_{e2} はトランジスタQ1、Q2のベース、エミッタ間電圧Vbe1とVbe2の電圧差 ΔV から次の式(2)のように与えられる。

【0015】

$$i_{e1} = \Delta V_{be1} / R_3 = kT / q \cdot \ln(n) / R_3 \quad \dots\dots (2)$$

上記式(2)を式(1)に代入して次式(3)が求められる。

【0016】

$$\begin{aligned} V_{ref} &= V_{be1} + (i_{e1} + i_{e2}) \cdot R_4 \\ &= V_{be2} + 2kT / q \cdot R_4 / R_3 \cdot \ln(n) \quad \dots\dots (3) \end{aligned}$$

式(1)の第1項の負の電圧係数を打ち消すように抵抗R4の抵抗値を設定すれば、温度に依存しない基準電圧を得ることができる。なお、式(2)より、高精度の ΔV_{be} を得るにはエミッタ電流の誤差が小さいことが重要である。式(3)よりベース、エミッタ間電圧 V_{be2} の負の電圧係数を打ち消すようにR3、R4を選択することにより温度依存性の低い基準電圧を得ることができる。

【0017】

この実施例において、CMOS差動増幅回路AMPのオフセット電圧が存在する場合、オフセット電圧の発生個所はバイポーラトランジスタQ1とQ2のコレクタ端子(エミッタ接地のバイポーラトランジスタアンプQ1、Q2の出力に相当)でエミッタ電流 i_{e1} と i_{e2} への影響は小さい。このようにCMOS構成の差動増幅回路AMPで発生するオフセット電圧の基準電圧 V_{ref} への影響は(1/バンドギャップ発生部の利得)と小さくすることができる。

【0018】

これに対して、図24に示したようにpnpバイポーラトランジスタを用いた基準電圧発生回路では、基準電圧 V_{ref} は次式(4)のようになる。

【0019】

$$\begin{aligned} V_{ref} &= V_{be2} + i_{e2} \cdot (R_3 + R_2) \\ &= V_{be2} + kT / q \cdot (1 + R_2 / R_3) \cdot \ln(n) \quad \dots\dots (4) \end{aligned}$$

ここで、 V_{be2} の負の電圧係数を打ち消すように抵抗R3、R2の抵抗値を選択することにより温度依存性の低い基準電圧を得ることができる。しかし、増幅回路AMPにオフセット電圧 V_{off} が存在する場合、基準電圧 V_{ref} は次式(5)のようになる。

【0020】

$$V_{ref} = V_{be2} + (kT / q \ln(n) + V_{off}) \cdot (1 + R_2 / R_3) \quad \dots\dots (5)$$

上記式(5)より、 R_2 / R_3 比で決まる利得でオフセット電圧 V_{off} が増幅されてしまう。その結果、オフセット電圧の影響で、フィードバック動作によりエミッタ電流値が誤って補正されてしまい、補正電圧に誤差(オフセット電圧)が生じる。

【0021】

図1の基準電圧発生回路と図24の基準電圧発生回路の比較をすれば、図24の基準電圧発生回路では、図1の基準電圧発生回路のようにCMOS差動増幅回路AMPを用いた場合には、そこで発生するオフセット電圧の影響が約1.2倍にも増幅されるのに対して本発明では約0.7倍に低減出来る。従って、図1の実施例回路においては、素子のプロセスばらつきに対応して比較的大きなオフセット電圧 V_{off} を持つCMOS構成の差動増幅回路AMPを用いつつ、そのオフセット電圧の影響を軽減しつつ高精度の温度依存性の小さい基準電圧 V_{ref} を発生することができる。

【0022】

図2には、オフセット入力とオフセット出力との関係を説明するための特性図が示されている。本願発明に係る基準電圧発生回路における特性(本発明)では、オフセット入力 -50mV から $+50\text{mV}$ の範囲でにおいて、オフセット出力はオフセット入力とほぼ一定に保たれている。これに対して、比較のために示されて前記図24の基準電圧発生回路においては、同じオフセット入力に対して、オフセット出力は -600mV から $+600\text{mV}$ のように増大しており、かかるオフセット補正のためのトリコミング等を必要とするものである。

【0023】

図3には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路AMPを構成するnチャネルMOSFET及びpチャネルMOSFET

Tの一実施例のレイアウトとその素子構造の説明図が示されている。同図には、上記2つのMOSFETと、1つのトランジスタを代表として例示的に示している。このトランジスタは、上記トランジスタQ1又はトランジスタQ2を構成する一部の単位トランジスタを示している。

【0024】

このnpn型バイポーラトランジスタは、特に制限されないが、横型（ラテラル）構造とされる。p型半導体基板（p-sub）上には、n型のディープウェル（dwell）が形成され、かかるディープウェル（dwell）上にp型ウェル（well）が形成される。かかるp型ウェル（well）には中央部にn+型のエミッタ（E）（n+）が形成され、その周囲を取り囲むようにp+型のベース（B）（p+）が形成される。かかるベース（B）（p+）を更に取り囲むようにn+型のコレクタ（C）（n+）が形成される。上記p型ウェル（well）は、上記エミッタ（E）とコレクタ（C）との間に介在して実質的なベース領域として作用する。かかる半導体領域n+とp+の間には、絶縁層（SIG）が設けられて分離されている。

【0025】

特に制限されないが、上記p型ウェル（well）の周囲には、n型ウェルが取り囲むように形成され、それが上記ディープウェル（dwell）と接合されて、かかるnウェルに設けられたn+領域を介して電源電圧（VCC）のようなバイアス電圧が与えられる。これにより、上記npn型バイポーラトランジスタを構成する各半導体領域がp型半導体基板（p-sub）から電気的に分離される。

【0026】

CMOS回路を構成するnチャネルMOSFET（nMOS）は、上記半導体基板p-sub上に形成されたp型ウェル領域（well）に形成されたn+領域をソース、ドレイン領域とし、かかるソース、ドレインに挟まれるようにゲート絶縁膜を介してゲート電極（G）（nMOS）が形成される。上記p型ウェル（well）は、p+領域から回路の接地電位（VSS）がバイアス電圧として与えられる。pチャネルMOSFET（pMOS）は、上記半導体基板p-sub上に形成されたn型ウェル領域（well）に形成されたp+領域をソース、ドレイン領域とし、かかるソース、ドレインに挟まれるようにゲート絶縁膜を介してゲート電極（G）（pMOS）が形成される。上記n型ウェル（well）は、n+領域から電源電圧（VCC）がバイアス電圧として与えられる。上記半導体基板p-subには、p型ウェル領域（well）とp+領域を介して回路の接地電位（VSS）のようなバイアス電圧が与えられる。

【0027】

上記CMOS回路構成するnチャネルMOSFETを形成するためのp型ウェル領域（well）及びソース、ドレイン領域を構成するn+領域と、上記npnバイポーラトランジスタを形成するためのp型ウェル領域（well）及びエミッタ、コレクタを構成するn+領域とは同じプロセスにより形成される。また、CMOS回路を構成するpチャネルMOSFETのソース、ドレイン領域を構成するp+領域と、上記npnバイポーラトランジスタを形成するためのベースを構成するp+領域とは同じプロセスにより形成される。

【0028】

この実施例のバンドギャップ発生部のトランジスタQ1（Q2）は、CMOSプロセスで形成されるデバイスである。このようにトランジスタQ1、Q2をCMOSプロセスで形成することにより、基準電圧発生回路をバイポーラプロセスを用いずに、同じ半導体基板上に形成される他のマイクロコンピュータ等のようなデジタルCMOS回路と同じCMOSプロセスで形成することができる。バイポーラ部とCMOS部の周囲あるいは間に上記のようなディープウェル（dwell）、n型ウェル（well）及びn+領域からなるガードバンドあるいはガードリングを配置することで、半導体基板p-subの基板電位（VSS）を安定化し、雑音の伝播を抑えることができる。このようにnpnバイポーラトランジスタをディープウェル（dwell）内に形成することにより、基板p-subを介して他の回路モジュールから伝播する雑音の影響を抑えられる。

【0029】

図4には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路AMPを構成するnチャネルMOSFET及びpチャネルMOSFETの他の一実施例のレイアウトとその素子構造の説明図が示されている。この実施例のnpn型バイポーラトランジスタは、コレクタをn型のディープウェルdwellを用いて縦型（バーチカル）構造に形成する。前記図3の実施例と同様にエミッタE（n+）を中心としてその周囲にベースB（p+）を形成し、その周囲に囲む形でコレクタC（n+）取り出し用のn型ウェルnwel及びn+領域を配置する。この構造では、エミッタ（n+領域）－ベース（p型ウェルpwel）－コレクタ（n型ディープウェルdwell）を縦構造にするものである。

【0030】

この実施例の縦型のnpnバイポーラトランジスタは、図3の横型のバイポーラトランジスタに比べてバイポーラトランジスタの電流増幅率 h_{fe} が高くバイポーラ部の利得が高くなるため、前記図1の実施例で説明したように増幅回路のオフセット電圧の影響を抑えて高精度の基準電圧を発生する効果がより高くなる。また、この実施例では、CMOS回路にもn型ディープウェルdwellが設けられており、p型ウェルpwel部がn型ウェルnwelに囲まれて、半導体基板p-subと電気的に分離されている。これにより、半導体基板p-subに与えられるバイアス電圧VSSによらず、nチャネルMOSFETが形成されるp型ウェルpwelの電位を自由に設定できる。このため、p型ウェルpwelに与えられるバイアスVBBを負の電圧に引いたようなデジタル回路への対応も可能となる。

【0031】

図5には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路AMPを構成するnチャネルMOSFET及びpチャネルMOSFETの更に他の一実施例のレイアウトとその素子構造の説明図が示されている。この実施例では、n型の半導体基板n-subが用いられる。このようにn型の半導体基板n-subを用いた場合には、図3の実施例とは異なり、CMOSの2重ウェル構造でnpnバイポーラトランジスタを構成する。つまり、ベースB（p+）、エミッタE（n+）、コレクタC（n+）をp型ウェルpwelに形成する。前記図3の実施例と同様にエミッタEを中心としてその周囲にベースB、コレクタCを囲む形で配置する。この構成は、図3の実施例のようなディープウェルdwellを形成しない構造（p型ウェルpwel内にnMOS、n型ウェル内にpMOSを形成）で横型のnpn型バイポーラトランジスタを形成することができる。

【0032】

この実施例のようにn型半導体基板n-subを用いた場合においては、基板とコレクタとの分離のためのディープウェルdwellが不要となり、CMOSの2重ウェル構造で形成できる。プロセス工程を削減することができる。

【0033】

この実施例の基準電圧発生回路では、CMOS差動増幅回路のオフセットの影響を受けにくい高精度の基準電圧を得ることができる。オフセットの影響を小さくするためのトリミングを不要にすることができ、例えばエアーバック用マイコンなどのトリミングが困難なROMレス製品の電源回路のために、トリミング回路を必要としない高精度の基準電圧発生回路として有益なものとすることができる。

【0034】

図6には、この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタの他の一実施例のレイアウト図が示されている。特に制限されないが、前記図4の実施例と同様にコレクタC（n+）をn型のディープウェルdwellを用いて縦方向（縦型構造）に形成する。エミッタE（n+）をベースB（p+）でコの字形に囲み、その周囲を上記コレクタC（n+）で囲むようにするものである。このレイアウト構成は、前記図3の横型（ラテラル）トランジスタにも適用できる。

【0035】

図 7 には、この発明に係る基準電圧発生回路に用いられる npn 型バイポーラトランジスタの更に他の一実施例のレイアウト図が示されている。この実施例では、前記図 3 の実施例と同様に、ベース B (p+)、エミッタ E (n+)、コレクタ C (n+) を p 型ウェル pwe1 内に形成し、電源電圧 VCC で分離された n 型のディープウェル dwe1 で囲むようにする。そして、コレクタ C (n+)、ベース B (p+)、エミッタ E (n+) を並列に配置する横型構造とされる。前記図 3、図 4 の CMOS の縦構造と前記図 3-図 7 のバイポーラトランジスタのレイアウトは任意に組み合わせることで実現できる。

【0036】

この実施例の基準電圧発生回路において、バンドギャップ発生部ではトランジスタ Q1 とトランジスタ Q2 のサイズ比が 1 対 n になるように構成される。トランジスタ Q1 と Q2 は別々の n 型ディープウェル dwe1 上に形成される。

【0037】

図 8 には、この発明に係る基準電圧発生回路に用いられる npn 型バイポーラトランジスタ Q1 と Q2 の一実施例のレイアウト図が示されている。この実施例では、特に制限されないが、コレクタを n 型ディープウェル dwe1 を用いて縦方向に形成した場合が例として示されている。この実施例では、トランジスタ Q1、Q2 の周囲を n 型ディープウェル dwe1 で囲むようにする。サイズの小さなトランジスタ Q1 のディープウェル dwe1 は、そのサイズに対応した小さく形成される。これに対して、サイズの大きなトランジスタ Q2 の n 型ディープウェル dwe1 は、上記トランジスタ Q1 の 8 個分に対応した大きな大きさとされる。この構成では、トランジスタ Q1 と Q2 のサイズ比が 1:8 のように設定される。

【0038】

図 9 には、この発明に係る基準電圧発生回路に用いられる npn 型バイポーラトランジスタ Q1 と Q2 の他の一実施例のレイアウト図が示されている。この実施例では、図 8 の実施例と異なり 2 つのトランジスタ Q1 と Q2 のコレクタを構成する n 型ディープウェル dwe1 のサイズを等しく形成する。このようにコレクタを構成する n 型ディープウェル dwe1 のサイズを同じく形成することにより、容量結合で基板から伝播する雑音の影響を等しくして、同相雑音としてキャンセルできるようにする。

【0039】

図 10 には、この発明に係る基準電圧発生回路に用いられる npn 型バイポーラトランジスタ Q1 と Q2 の他の一実施例のレイアウト図が示されている。この実施例では、トランジスタ Q1 と Q2 とは、上記図 9 の実施例のように n 型ディープウェル dwe1 のサイズを等しく形成することに加えて、サイズの小さなトランジスタ Q1 が形成されるディープウェル dwe1 には、ダミーのトランジスタを含めて 8 個のトランジスタを配置し、トランジスタ Q2 と同じ構成とする。そして、8 個のトランジスタのうち 1 つに配線を行うことにより、上記 $Q1/Q2 = 1/8$ のようにサイズ比とするものである。このように同じパターンとすることにより、加工寸法ばらつきの影響を低減することができる。

【0040】

図 11 には、この発明に係る基準電圧発生回路に用いられる npn 型バイポーラトランジスタ Q1 と Q2 の更に他の一実施例のレイアウト図が示されている。この実施例では、ベース B、エミッタ E 及びコレクタ C を同一の p 型ウェル pwe1 上に形成した前記図 7 に示したような横型構造のトランジスタが用いられる。前記図 7 のトランジスタと同様にトランジスタ Q1 あるいは Q2 が形成される n 型ディープウェル dwe1 の周囲には、かかる n 型ディープウェル dwe1 を安定化するための電源供給用の n+ 領域及び n 型ウェル nwe1 (図示せず) が設けられる。この実施例では、 $Q1/Q2 = 1/9$ のようなサイズ比とされ、トランジスタ Q1 は、1 個のトランジスタと 8 個のダミートランジスタから構成される。そして、この実施例のようにトランジスタ Q2 が 9 個のようにべき乗の場合には、トランジスタ Q1 を同一個数配置されたトランジスタの中心部をとすれば、さらに寸法ばらつきの影響を低減できる。

【0041】

前記図 8 ないし図 11 に示したいずれの形状もバイポーラトランジスタのコレクタを n 型ディープウェルを用いて縦方向に形成したバーチカル構造とする場合にも、同一のウェル上に形成したラテラル構造とする場合のいずれにも適用できる。

【0042】

図 12 には、この発明に係る基準電圧発生回路に用いられる CMOS 差動増幅回路の一実施例の回路図が示されている。差動増幅回路は、初段部と出力段部から構成される。初段部は、n チャネル型の差動 MOSFET M1 と M2 と、そのソースと回路の接地電位 VSS との間に設けられて電流源 i1 と、上記 MOSFET M1 と M2 のドレインと電源電圧 VCC との間に設けられてアクティブ負荷回路を構成する p チャネル型のカラレントミラー MOSFET M4 と M5 から構成される。出力段部は、上記初段の出力信号をゲートに受け、ソースに電源電圧 VCC が供給された p チャネル型増幅 MOSFET M3 と、ドレインと回路の接地電位 VSS との間に設けられた電流源 i3 を負荷手段とする反転増幅回路から構成される。MOSFET M3 のゲートとドレインとの間には、位相補償回路としてのキャパシタ Cf と抵抗 Rf が設けられる。

【0043】

差動 MOSFET M1 と M2 は、前記図 3 等 に示したような n チャネル型 MOSFET が用いられる。図 3 の n チャネル型 MOSFET が形成される p 型ウェル pwe1 には、回路の接地電位 VSS がバイアス電圧として与えられている。これに対して、図 4 の実施例に示したような n チャネル型 MOSFET を用いた場合には、p 型ウェル pwe1 が基板 p-sub から分離されているので、ソースとチャネル領域 (p 型ウェル pwe1) とを接続して形態で用いることができる。この構成では、MOSFET M1 と M2 において、ソース電位とチャネル領域の電位が同電位となり、基板効果の影響を受けなくすることができる。

【0044】

図 13 には、この発明に係る基準電圧発生回路に用いられる CMOS 差動増幅回路の他の一実施例の回路図が示されている。この実施例では、電流源も合わせて示されている。電源回路を用途として基準電圧発生回路を構成する場合、消費電力を下げる必要がある。このとき、アンプの利得が必要以上に高くなり、位相補償が困難になる。この実施例は、消費電力の低減を目的とした回路構成であり、増幅回路は前記図 12 と同様に n チャネル MOSFET M1 と M2 による差動入力の前段増幅部、p チャネル増幅 MOSFET M3 を用いたソース接地の反転増幅回路からなる出力段、及びこれらを駆動する電流源で構成される。

【0045】

電流源は微小電流を安定に供給するために n チャネル MOSFET M12 と M13 ゲート、ソース間電圧差を抵抗 Rref で参照して一定電流 Iref を発生するワイドラ形電流源が用いられる。これを n チャネル MOSFET M14、M15 で電流ミラー形態として初段と出力段のバイアス電流 i1、i3 を決める。電流 i1 の電流値を小さく設定する場合、初段のアンプの利得が高くなり位相補償が難しくなるのを防ぐために、利得を決める要因となるカラレントミラー部分の MOSFET M4、M5 のそれぞれに対して一定電流 i2 を流す電流源 MOSFET M6 と M7 を並列接続して構成する。上記一定電流 Iref は、n チャネル型の MOSFET M13、M11 及びダイオード接続の p チャネル MOSFET M9 に流れ、この MOSFET M9 と MOSFET M8、上記 MOSFET M6、M7 が電流ミラー形態にされることにより、上記定電流 i3 を形成することができる。これにより、位相補償が容易になる。つまり、従来用いられるミラー補償の他に、設計が容易なポールゼロ補償 (Rf と Cf を出力段に直列に接続) が可能となる。

【0046】

図 14 には、この発明に係る基準電圧発生回路の一実施例の回路図が示されている。この実施例では、前記図 1 の実施例回路に起動回路が付加される。基準電圧発生回路は、電源電圧投入等の起動時に出力電圧 Vref が 0 V で安定してしまう場合がある。この対策として、起動回路が設けられて、強制的に電流を流し込むことにより起動をかける。起動回

路により電源投入及びスリープ解除時に誤りなく基準電圧を発生できる。動作時に外乱などがあつた場合にもすぐに復帰して基準電圧が安定に発生できる。

【0047】

この実施例の起動回路は、トランジスタQ2（あるいはQ1）のコレクタ端子nc2（あるいはnc1）に電流源i4を引き出し、コレクタ端子nc2の電位を電源VCCから下げることにによりアンプAMPの出力電圧を立ち上げてトランジスタQ1、Q2を動作状態にして基準電圧発生回路を駆動する。スイッチSWは、電源投入時又はスリープ解除時に発生されて、上記電流i4を抵抗R2（又はR1）に流すようにするものである。

【0048】

図15には、この発明に係る基準電圧発生回路の一実施例の回路図が示されている。同図には、前記図15のスタートアップ（起動回路）の具体的回路が示されている。電圧比較回路CMPの反転入力（-）には、参照電圧VRが供給される。この参照電圧VRは、ダイオード接続のトランジスタのベース、エミッタ間電圧を抵抗R7とR8の接続点nr1から得られる比較的低い分圧電圧とされる。上記トランジスタと抵抗R7、R8には、前記図13で形成したような微小電流irefに対応した電流i5が流れるようにされる。電圧比較回路CMPの非反転入力（+）には、トランジスタQ1のエミッタ端子ne1の電圧が印加される。電圧比較回路CMPの出力信号は、スイッチSWの制御信号を形成し、その出力信号がロウレベルときにスイッチSWをオン状態にし、出力信号がハイレベルのときにスイッチSWをオフ状態にする。

【0049】

基準電圧発生回路のバイポーラ部分に電流が流れない場合、トランジスタQ1のエミッタ端子ne1の電位0Vになる。そこで、上記参照電圧VRとトランジスタQ1のエミッタ端子ne1の電圧とを比較してne1の電位がnr1（VR）に比べて低い場合に電流が流れていないと判断し、電流が流れていないことを検出する。このときには、電圧比較回路CMPの出力信号がロウレベルとなり、上記スイッチSWをオン状態にして起動をかける。トランジスタQ1、Q2が動作状態になると、エミッタ端子ne1の電位がnr1（VR）に比べて高くなり、電流が流れているのを検出する。これにより、電圧比較回路CMPの出力信号がハイレベルに変化し、上記スイッチSWがオフ状態にされる。上記のように、参照電圧VRはダイオードを並列に接続してその順方向電圧を用いるものであるので、i5が変動した場合にもnr2の電位VRが一定に保たれ、安定に参照電圧を発生することができる。

【0050】

図16には、この発明に係る基準電圧発生回路を用いた電源回路の一実施例の回路図が示されている。この発明に係る前記図1のような基準電圧発生回路にて発生した基準電圧Vrefは、一方においてアンプA1と負帰還抵抗抵抗R5、R6からなるバッファ回路にて所望の電源電圧vo1にレベル変換され、ボルティージフォホロワ回路A3、A4からなるレギュレータ回路を経て、内部回路に供給される内部電圧VO1、VO1として出力される。上記基準電圧Vrefは、他方においてアンプA2と負帰還抵抗抵抗R5'、R6'からなるバッファ回路にて、上記電圧vo1とは異なる所望の電源電圧vo2にレベル変換され、ボルティージフォホロワ回路A5、A6からなるレギュレータ回路を経て、他の内部回路に供給される内部電圧VO2、VO2として出力される。

【0051】

この実施例では、レギュレータ回路を複数の機能ブロック毎に対応して複数個を設け、個々の回路モジュール（機能ブロック）の近傍に分散して配置することにより、レギュレータ回路と回路モジュールとの間の配線抵抗値を小さくでき、回路モジュールに流れる比較的大きな負荷電流があっても電源電圧レベルの低下を防ぐことができる。

【0052】

図17には、この発明に係る基準電圧発生回路の更に一実施例の回路図が示されている。この実施例では、トランジスタQ1とQ2にpチャネル型MOSFETM21とM22からなるカレントミラー回路が設けられる。かかるカレントミラー回路により、トランジ

スタ Q2 と Q1 には同じ電流が流れるようにされ、トランジスタ Q1 と Q2 のサイズ比に逆比例したエミッタ電流密度を設定することができる。

【0053】

さらに、これを MOSFET M23 にてミラーして基準電圧 V_{ref} を得る。ここで負の温度係数を持つトランジスタ Q3 はエミッタに設けられた抵抗 $R7$ の正の温度係数を補正して温度に依存しない基準電圧 V_{ref} を得るために接続される。キャパシタ C_f と抵抗 R_f は位相補償の容量と抵抗である。その結果、前記図 1 の実施例と同様に基準電圧 V_{ref} を発生することができる。また、MOSFET 24 のドレインから得られる電流 I_{ref} は定電流出力であり、例えば抵抗 R_{ref} を接続することにより任意の電圧値が得られる。前記図 1 等のような差動増幅回路を用いる実施例に比べて回路を簡略とすることができる。

【0054】

図 18 には、この発明に係る半導体集積回路装置の一実施例の全体ブロック図が示されている。この実施例は、特に制限されないが、電源回路を内蔵したシステム LSI に向けられている。この実施例の電源回路は基準電圧発生回路、参照電圧用バッファ回路、シリーズレギュレータ（主電源：メインレギュレータ及びスタンバイ用電源：サブレギュレータ）、電源制御部により構成される。これらの電源回路は、外部端子 V_{ext} から供給された電源電圧を受けて動作し、それを降圧した内部電圧 V_{int} を形成して、システム LSI を構成する CPU（中央処理装置）、レジスタ、不揮発性記憶素子、その他周辺回路の動作電圧を形成する。

【0055】

電源制御部は、制御信号 $cnt1 - cnt4$ によりバッファ回路のレベル変換や各ブロックの活性化の指定などを行う。上記半導体集積回路装置には、入出力回路が設けられる。入出力回路は、上記外部端子 V_{ext} から供給された電源電圧を受けて動作し、外部端子から供給された外部信号を上記内部回路のレベルに適合するようレベルシフトする入力回路と、上記内部回路で形成され、外部端子から出力すべき信号レベルに変換する出力回路とから構成される。

【0056】

上記のように入出力回路及び電源回路は外部端子 V_{ext} により供給される電源電圧によって動作させられる。この入出力回路は、電源回路及び CPU 等の制御信号の入出力を行う。内部電圧 V_{int} は電源回路により出力される内部電源電圧であり、これが CPU、レジスタ、不揮発性記憶素子、その他周辺回路に供給される。この実施例においては、基準電圧発生回路の基準電圧 V_{ref} を元に内部電源電圧 V_{int} を決定することにより、外部電源電圧 V_{ext} の変動や温度変化などの外的要因によらず、一定の内部電源電圧 V_{int} を供給できる。

【0057】

図 19 には、この発明に係る半導体集積回路装置の他の一実施例の全体ブロック図が示されている。この実施例は、特に制限されないが、電源回路を内蔵した LCD ドライバ回路に向けられている。この実施例の LCD ドライバ回路は、基準電圧発生回路、昇圧回路、表示データを記憶する RAM（ランダム・アクセス・メモリ）、ソースドライバ、ゲートドライバ、VCOM ドライバと基準電圧発生回路の出力電圧を基に各ドライバを駆動するための電圧を発生する回路（RAM 用降圧回路、ソース電圧発生回路、ゲート電圧発生回路、VCOM 電圧発生回路）とドライバ制御回路により構成される。

【0058】

上記ソース電圧発生回路は、LCD（液晶）パネルの画素に供給される表示データに対応した階調電圧 $V_{S0} \sim V_{Sn}$ を生成する。ゲート電圧発生回路は、画素を選択するためのゲート電圧の選択／非選択電圧 V_{GH} , V_{GL} を発生させる。VCOM 電圧は、液晶パネルのコモン電極に与えられるコモン電圧 V_{COMH} , V_{COML} を発生させる。ソースドライバは、表示データに対応して階調電圧 $V_{S0} \sim V_{Sn}$ の中の 1 つの電圧 S_i を出力する。ゲートドライバは、走査動作に対応した選択信号を受けて、画素の選択／非選択信

号Gjを出力する。VCOMドライバは、液晶画素を交流駆動するために正電圧と負電圧のフィールドに対応して電圧VCOMを切り替える。

【0059】

この実施例LCDドライバ回路においては、基準電圧発生回路の基準電圧Vrefを基に各ドライバ回路を駆動する電圧VDL, VS0~VS_n, VGH, VGL, VCOMH, VCOML等を与えることにより、外部電源電圧Vciの変動や温度変化などの外的要因によらず、トリミングを行わずに安定に各ドライバを駆動して、LCDパネルに信号を供給することができる。

【0060】

図20には、この発明に係る基準電圧発生回路の応用例を説明するためのブロック図が示されている。この実施例では、アナログ／デジタル変換器(ADC)への応用例に向けられている。この発明に係る基準電圧発生回路で形成された基準電圧Vrefを基に、増幅回路A10と、出力MOSFETM10及び帰還抵抗R10, R11からなる電圧変換回路にて所望電圧に変換し、最大電圧VRTと最小電圧VRBを形成し、それを抵抗分割回路により分割して複数の参照電圧を形成し、アナログ入力AINとレベル比較してデジタル出力D0~Dnを形成する。この実施例では、上記ADCを内蔵する半導体集積回路装置のチップ外部から基準電圧Vrefを供給する必要がなくなる。

【0061】

図21には、この発明に係る基準電圧発生回路の他の応用例を説明するためのブロック図が示されている。この実施例では、デジタル／アナログ変換器(DAC)への応用例に向けられている。この発明に係る基準電圧発生回路で形成された基準電圧Vrefを基に、増幅回路A11と出力MOSFETM11及び帰還抵抗R12からなる電圧－電流変換回路にて所望の基準電流Iref(=Vref/R12)を形成し、かかる基準電流Irefを基に2進の重みを持つ電流を形成し、それをデジタル入力信号D0~Dnに対応して合成して、抵抗に流すことによりアナログ出力電圧AOUTを得ることができる。この実施例でも、上記DACを内蔵する半導体集積回路装置のチップ外部から基準電圧Vrefを供給する必要がなくなる。

【0062】

図22には、この発明に係る半導体集積回路装置に設けられる抵抗素子の一実施例の素子構造図が示されている。図22(A)の例は、p型ウェル内に形成されたn+拡散層を抵抗として用いるものである。図22(B)の例は、分離用絶縁層SIGの上に形成されたポリシリコン層p+polyを抵抗素子として用いる。図22(C)の例は、n型のデープウェルdwellに形成されたp型ウェルpwellを抵抗素子として用いるものである。このp型ウェルpwellは、上記デープウェルdwellと、その周囲に設けられたn型ウェルnwel及びn+領域により基板p-subと電氣的に分離されている。上記(A)~(C)いずれの抵抗素子もCMOSの標準プロセス(2重ウェルあるいは3重ウェル構造)で構成できる。

【0063】

上記図22(A)は、n+拡散間の抵抗値(あるいはnウェル内のp+拡散間の抵抗値)を利用するものであり、それが形成されるpウェルpwellはp+拡散で安定化するようなバイアスが与えられる。比較的小さな面積で高抵抗が得られ、抵抗の比精度も高く、2重ウェルあるいは3重ウェルのCMOS構造で形成できる。

【0064】

図22(B)のポリシリコン抵抗は、p型ウェルpwell内の分離領域SGI上に形成されたp+ポリシリコンの端子間の抵抗値(あるいはn型ウェルnwel内のSIG上に形成されたn+ポリシリコンの端子間の抵抗値)を利用するものであり、比較的小さな面積で高抵抗が得られ、抵抗の比精度も高くでき、2重ウェルあるいは3重ウェルCMOS構造で形成できる。

【0065】

上記図22(C)は、n型のデープウェルdwell上に形成されたp型ウェルpwe

1の端子間(端子はp+拡散上に設ける)の抵抗値を利用するものであり、小さな面積で高抵抗が得られる。3重ウェルのCMOS構造で形成できる。

【0066】

図23には、この発明に係る半導体集積回路装置に設けられる容量素子の一実施例の素子構造図が示されている。図24(A)の例は、p型ウェルpwe1内の絶縁層SIG上にポリシリコンを層間絶縁膜を挟んで2層設けて形成される。図24(B)の例は、MOS容量を利用するものであり、n型ウェルnwe1内のpチャネルMOSFETのゲート(ポリシリコン)とソース、ドレイン間(ソースとドレインは短絡)の容量を用いるものである。n型ウェルnwe1はウェル上のn+層を介して電源あるいはp-subより高い電位で安定化させられる。(n-sub上のpウェル内のnMOSでも同様にMOS容量を構成可能である。上記(A)、(B)いずれの容量素子もCMOSの標準プロセス(2重ウェルあるいは3重ウェル構造)で構成できる。

【0067】

以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、トランジスタQ1とQ2には、同じ電流を流しておいて、面積比により電流密度差を設けるもの他、トランジスタQ1とQ2を同じサイズとし、エミッタ電流を一定の比率で流すようにしてもよい。また、面積比と電流比の組み合わせとしてもよい。この発明は、CMOSプロセスで形成される半導体集積回路装置に搭載される定電圧発生回路、あるいは基準電圧発生回路を内蔵し、CMOSプロセスで形成される半導体集積回路装置に広く利用することができる。

【図面の簡単な説明】

【0068】

【図1】この発明に係る基準電圧発生回路の一実施例を示す回路図である。

【図2】この発明に係る基準電圧発生回路のオフセット入力とオフセット出力との関係を説明するための特性図である。

【図3】この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路を構成するnチャネルMOSFET及びpチャネルMOSFETの一実施例を示すレイアウトとその素子構造の説明図である。

【図4】この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路を構成するnチャネルMOSFET及びpチャネルMOSFETの他の一実施例を示すレイアウトとその素子構造の説明図である。

【図5】この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタと差動増幅回路を構成するnチャネルMOSFET及びpチャネルMOSFETの更に他の一実施例を示すレイアウトとその素子構造の説明図である。

【図6】この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタの他の一実施例を示すレイアウト図である。

【図7】この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタの更に他の一実施例を示すレイアウト図である。

【図8】この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の一実施例を示すレイアウト図である。

【図9】この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の他の一実施例を示すレイアウト図である。

【図10】この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の他の一実施例を示すレイアウト図である。

【図11】この発明に係る基準電圧発生回路に用いられるnpn型バイポーラトランジスタQ1とQ2の更に他の一実施例を示すレイアウト図である。

【図12】この発明に係る基準電圧発生回路に用いられるCMOS差動増幅回路の一実施例を示す回路図である。

【図13】この発明に係る基準電圧発生回路に用いられるCMOS差動増幅回路の他

の一実施例を示す回路図である。

【図 14】 この発明に係る基準電圧発生回路の一実施例を示す回路図である。

【図 15】 この発明に係る基準電圧発生回路の一実施例を示す回路図である。

【図 16】 この発明に係る基準電圧発生回路を用いた電源回路の一実施例を示す回路図である。

【図 17】 この発明に係る基準電圧発生回路の更に一実施例を示す回路図である。

【図 18】 この発明に係る半導体集積回路装置の一実施例を示す全体ブロック図である。

【図 19】 この発明に係る半導体集積回路装置の他の一実施例を示す全体ブロック図である。

【図 20】 この発明に係る基準電圧発生回路の応用例を説明するためのブロック図である。

【図 21】 この発明に係る基準電圧発生回路の他の応用例を説明するためのブロック図である。

【図 22】 この発明に係る半導体集積回路装置に設けられる抵抗素子の一実施例を示す素子構造図である。

【図 23】 この発明に係る半導体集積回路装置に設けられる容量素子の一実施例を示す素子構造図である。

【図 24】 従来の基準電圧発生回路の一例を示す回路図である。

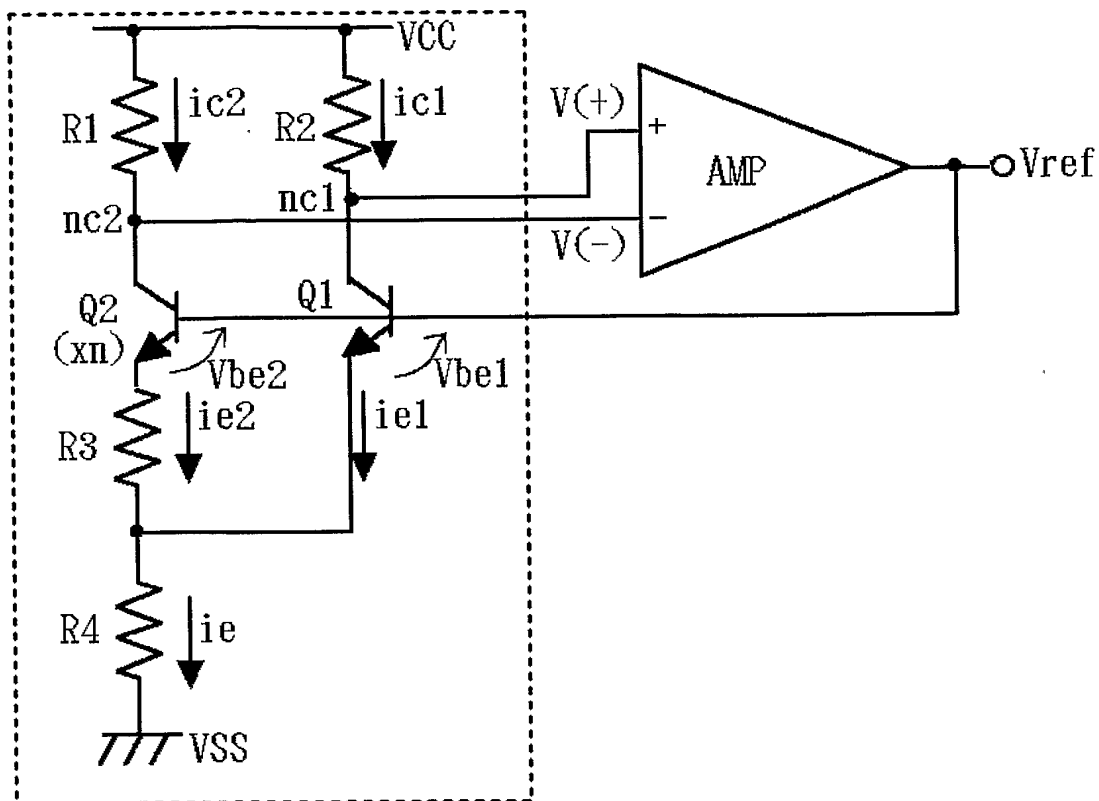
【符号の説明】

【0069】

Q1、Q2…トランジスタ、R1～R4…抵抗、AMP…CMOS増幅回路、C(n+)…コレクタ、B(p+)…ベース、E(n+)…エミッタ、dwell…n型ディープウェル、pwell…p型ウェル、nwell…n型ウェル、SIG…絶縁層(素子分離)、n+…半導体領域、p+…半導体領域、G…ゲート、M1～M24…MOSFET、SW…スイッチ、CMP…電圧比較回路、A1～A6、A11、A12…増幅回路、ADC…アナログ/デジタル変換回路、DAC…デジタル/アナログ変換回路。

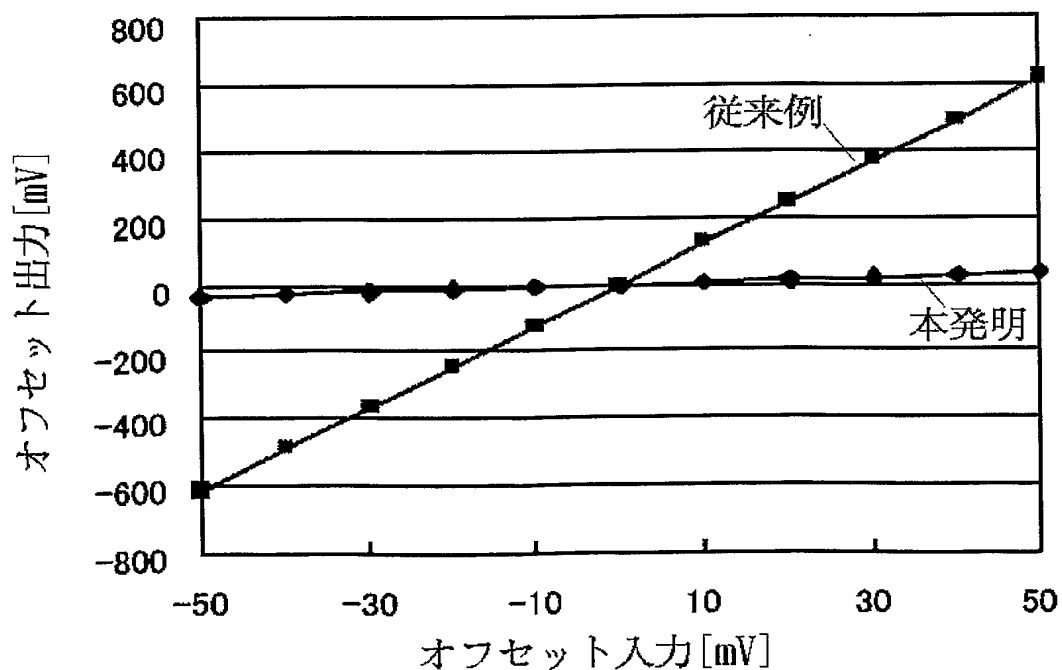
【書類名】 図面

【図 1】

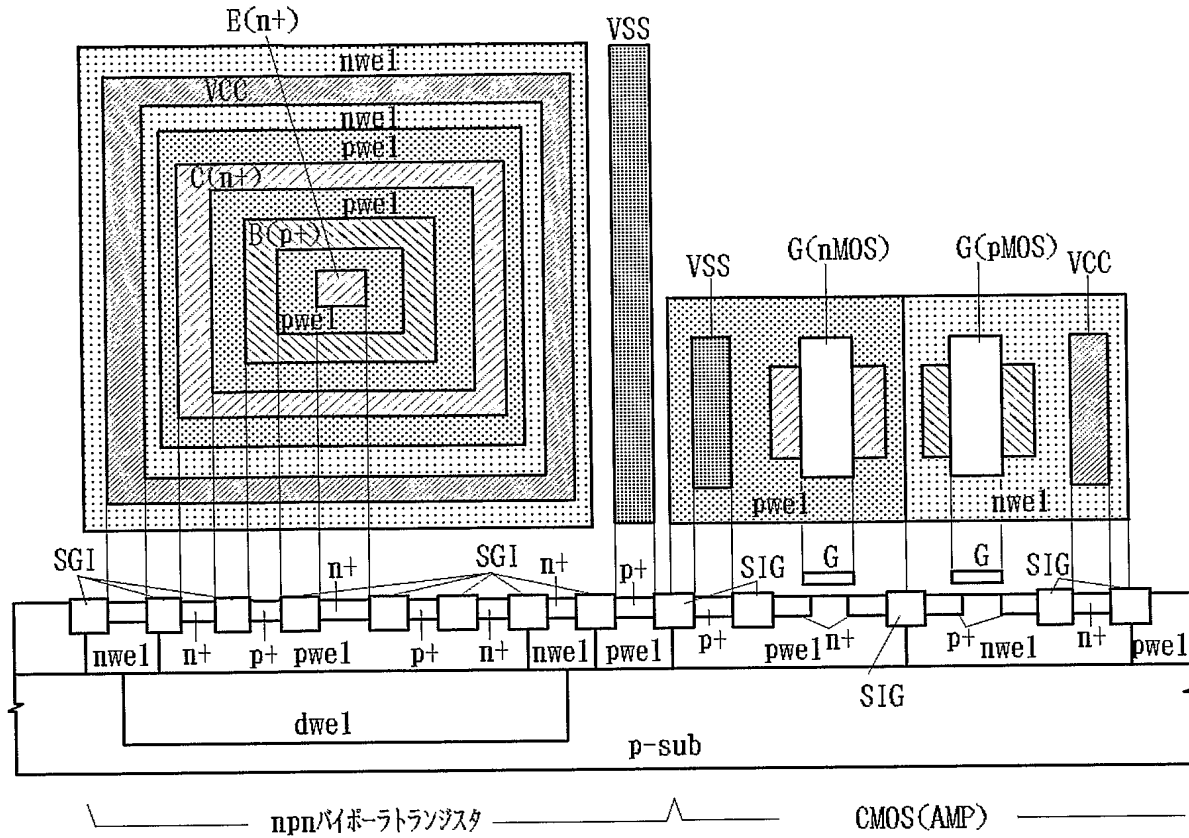


バンドギャップ発生部

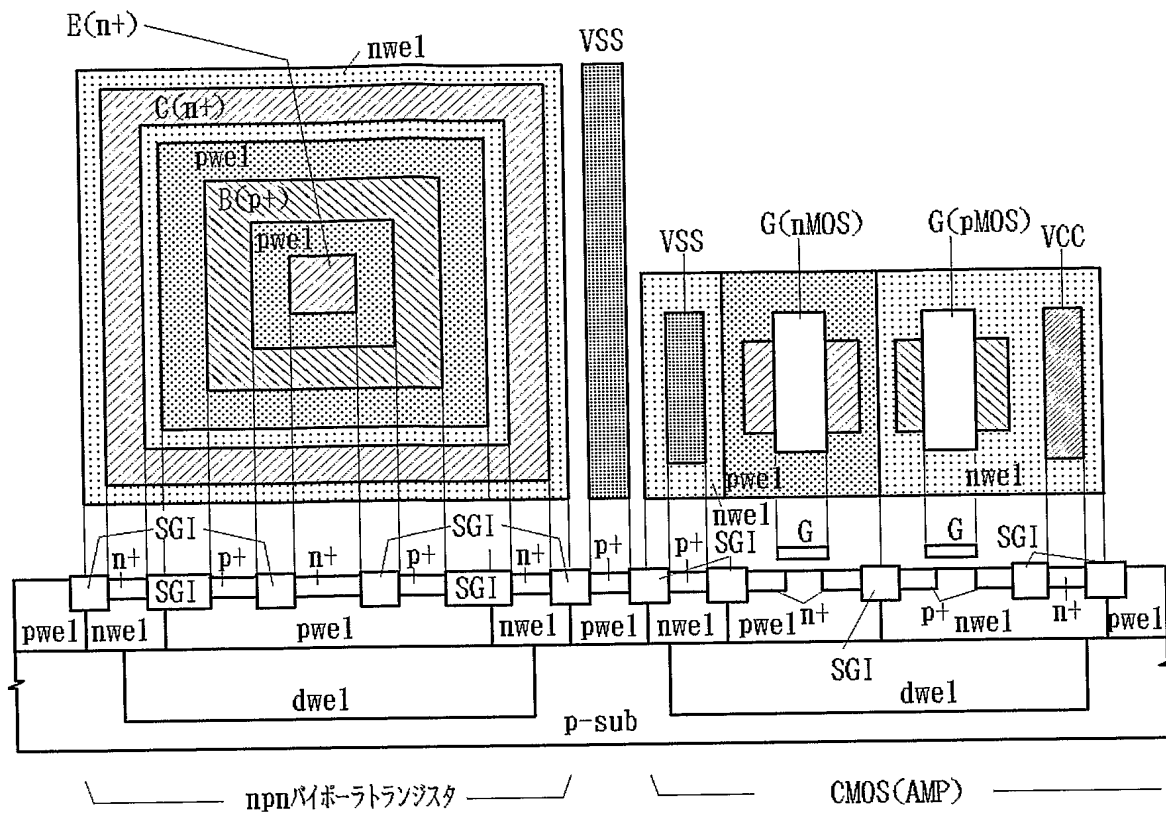
【図 2】



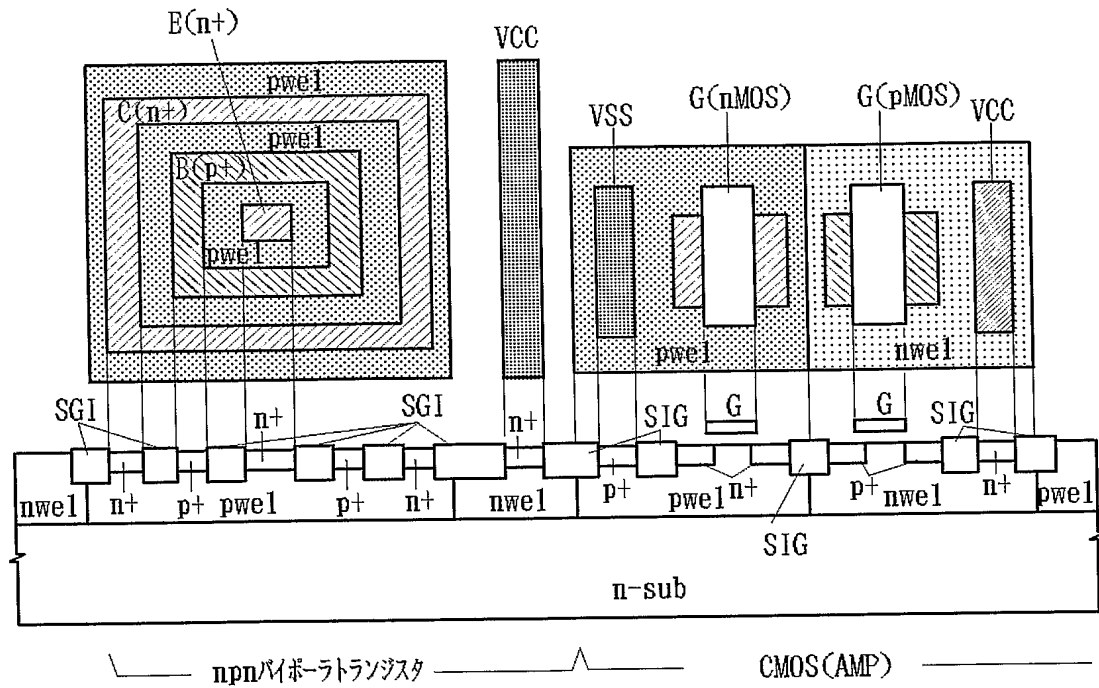
【図 3】



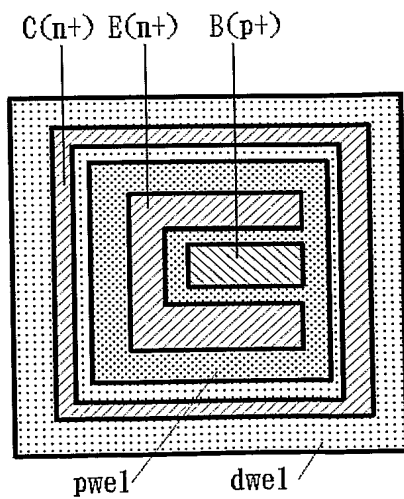
【図 4】



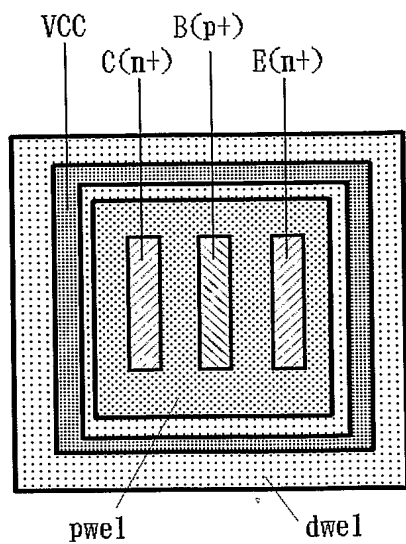
【図 5】



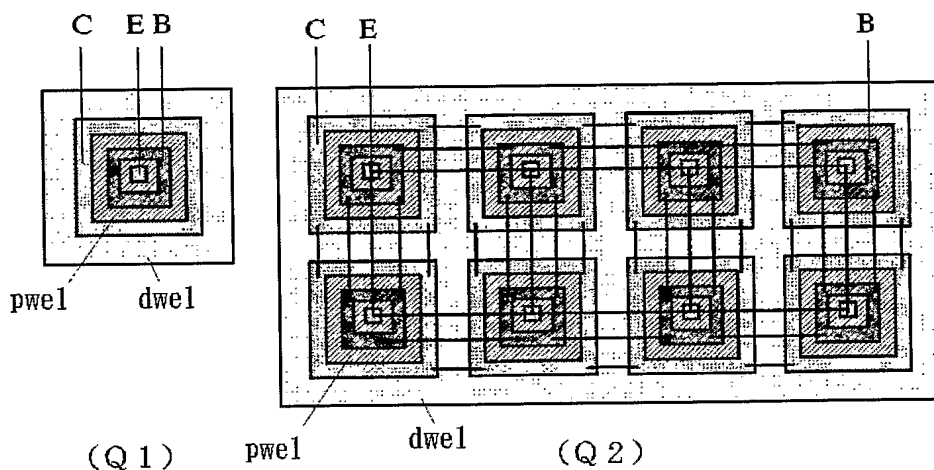
【図 6】



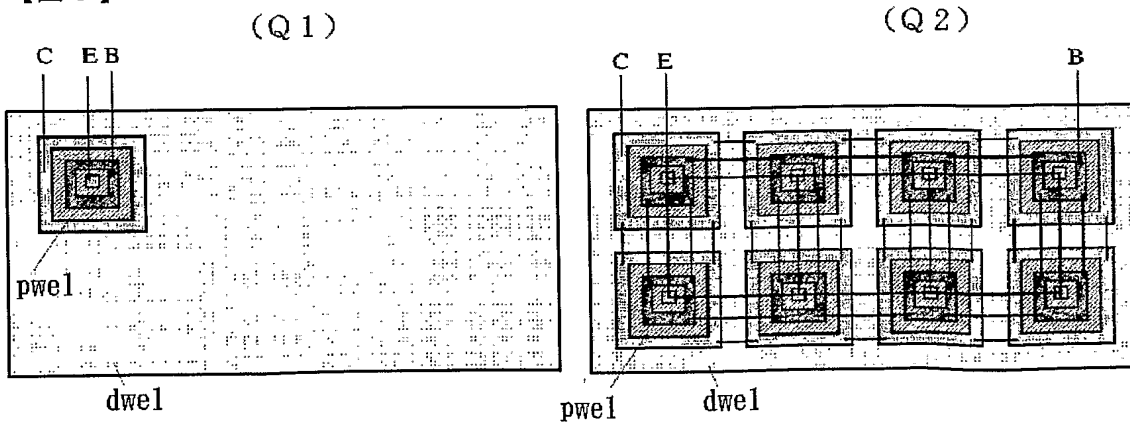
【図 7】



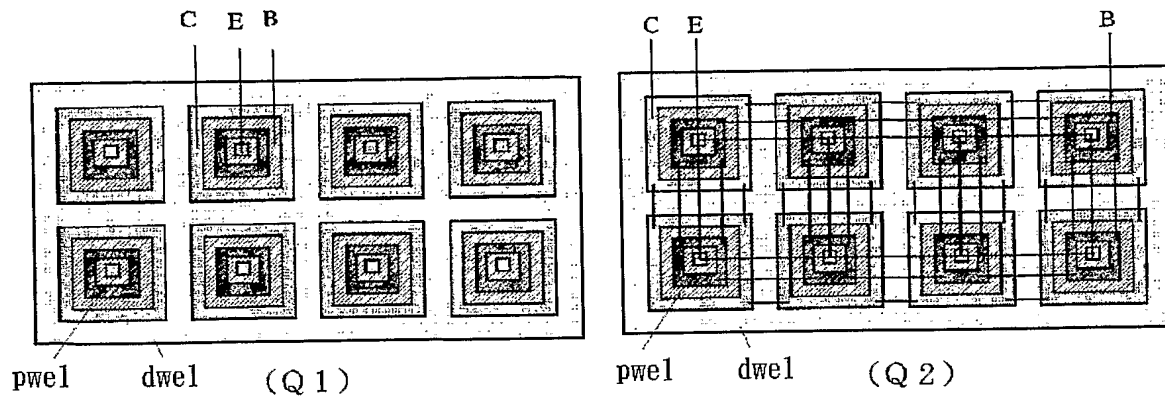
【図 8】



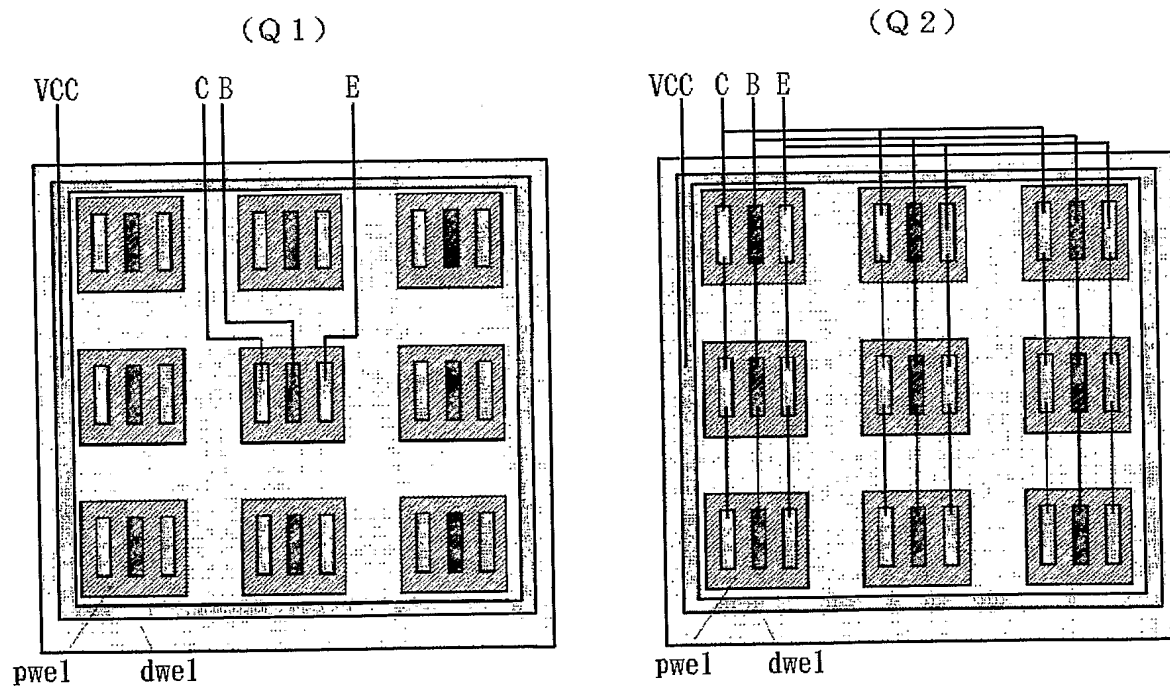
【図 9】



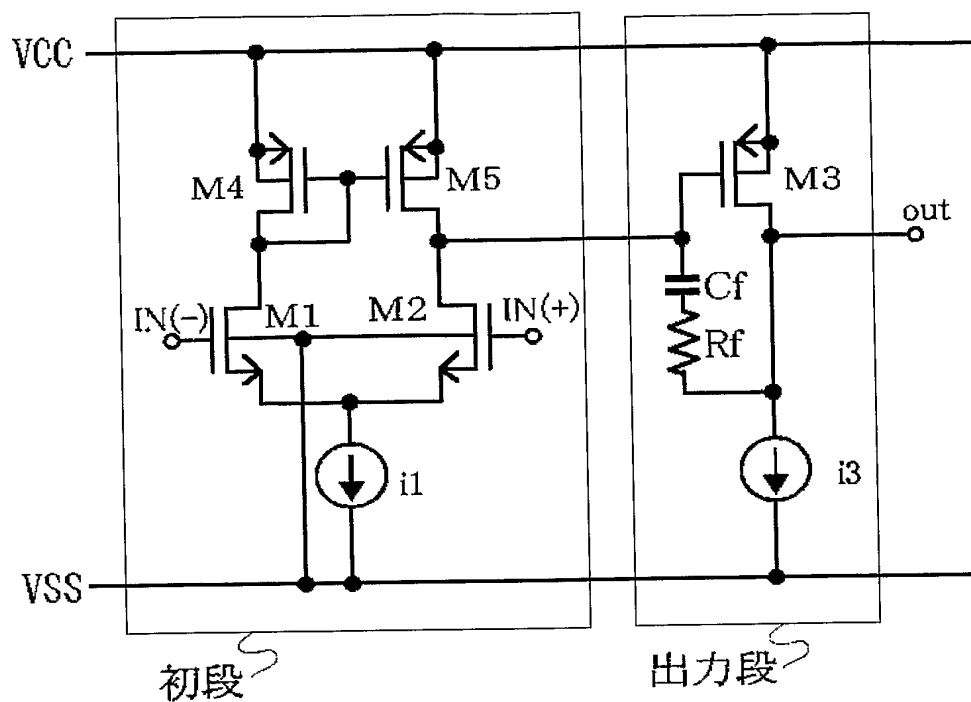
【図 10】



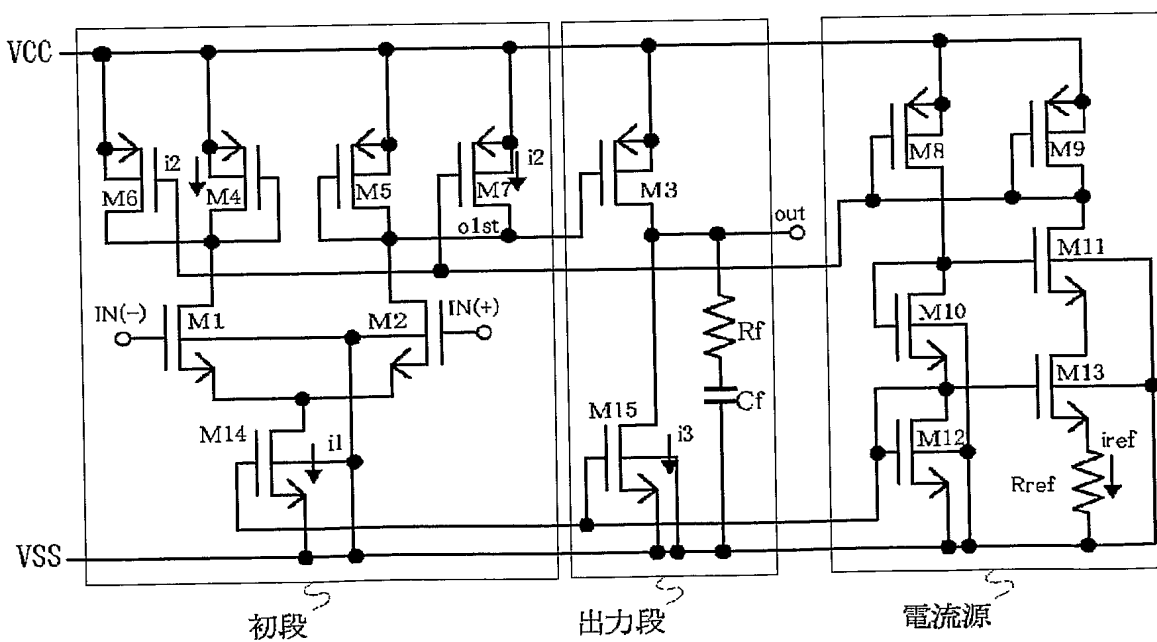
【図 11】



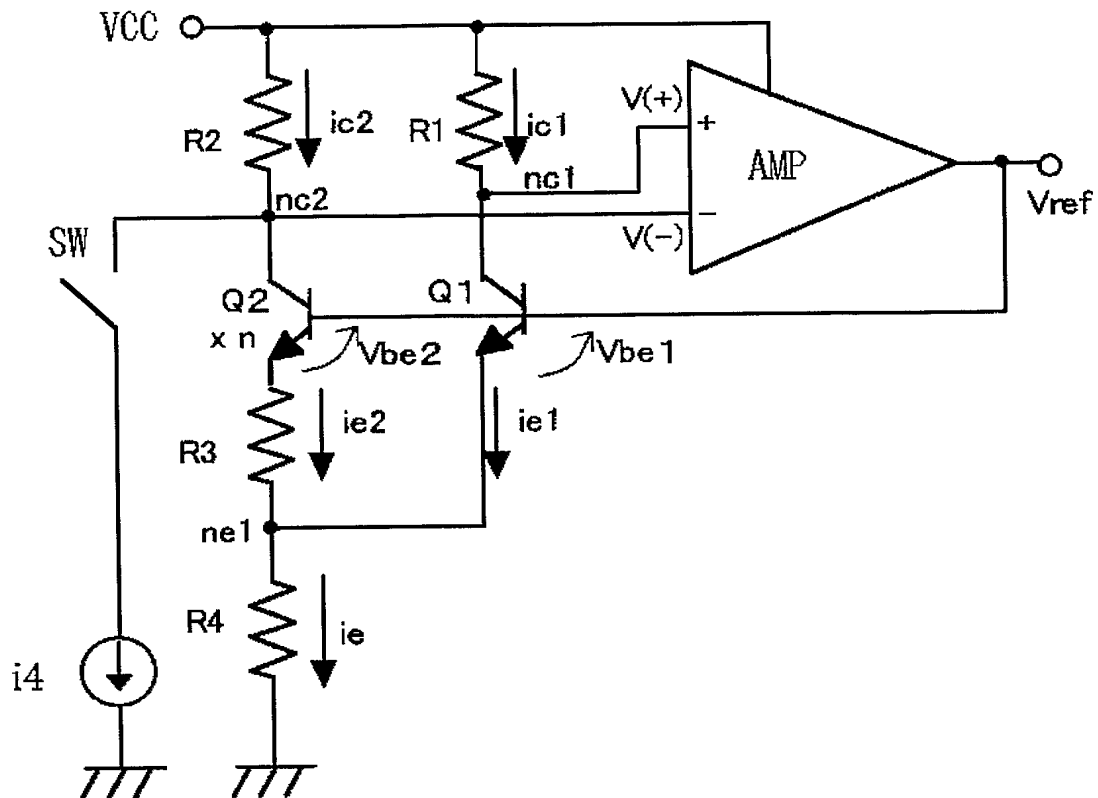
【図 1 2】



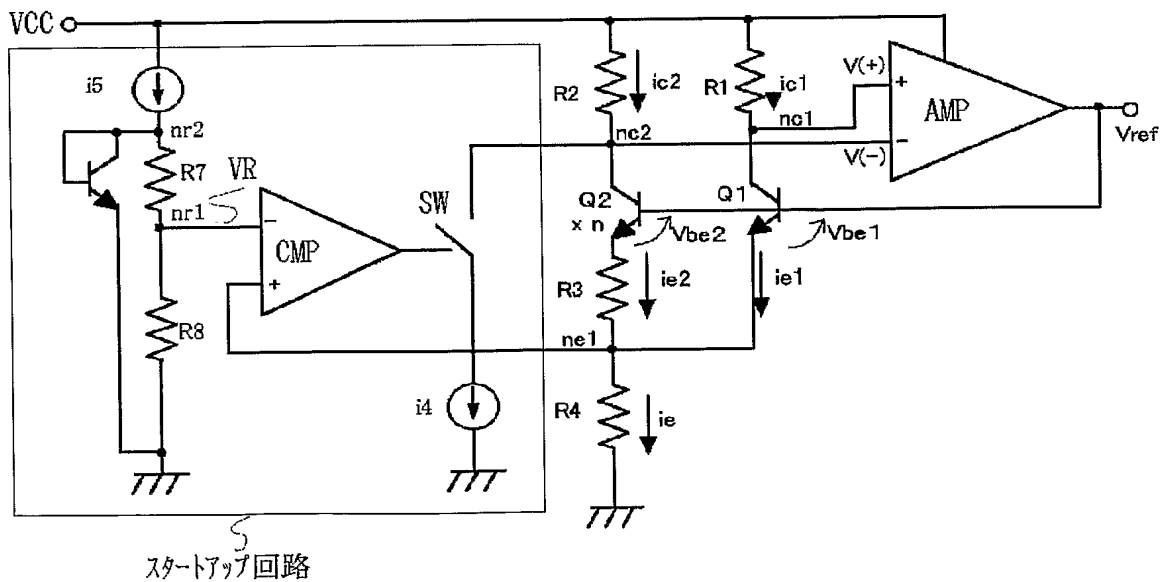
【図 1 3】



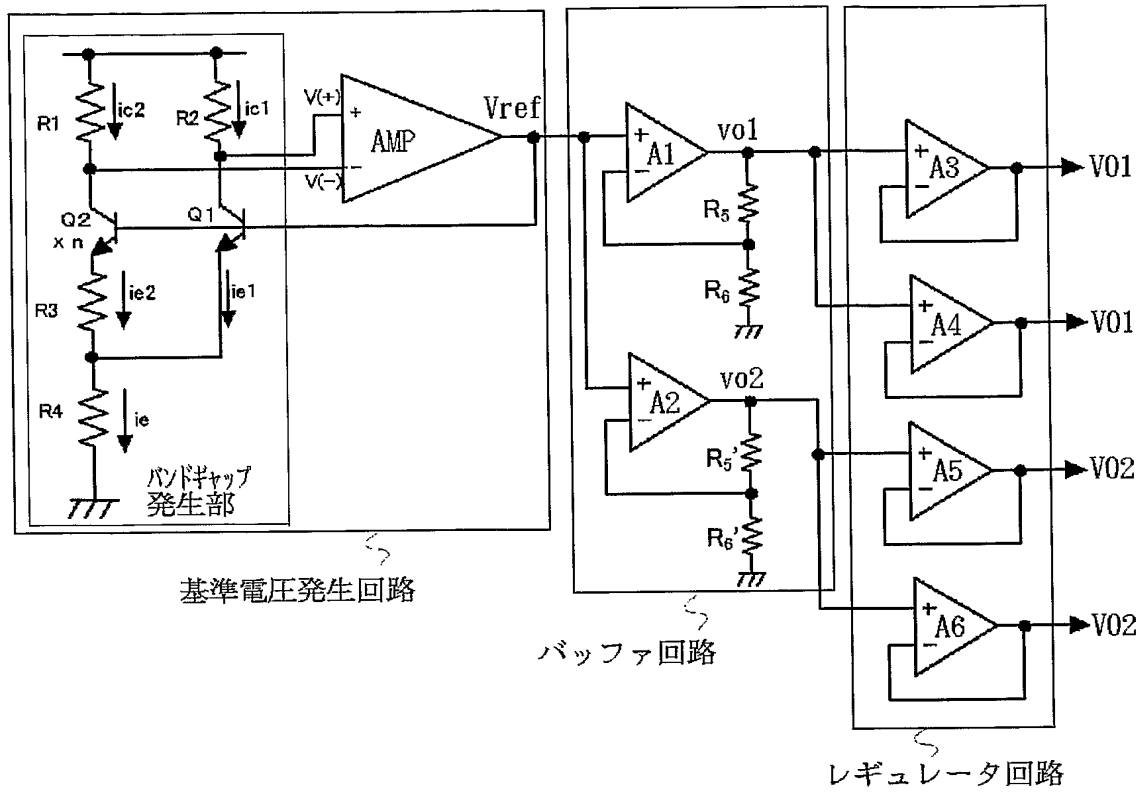
【図 14】



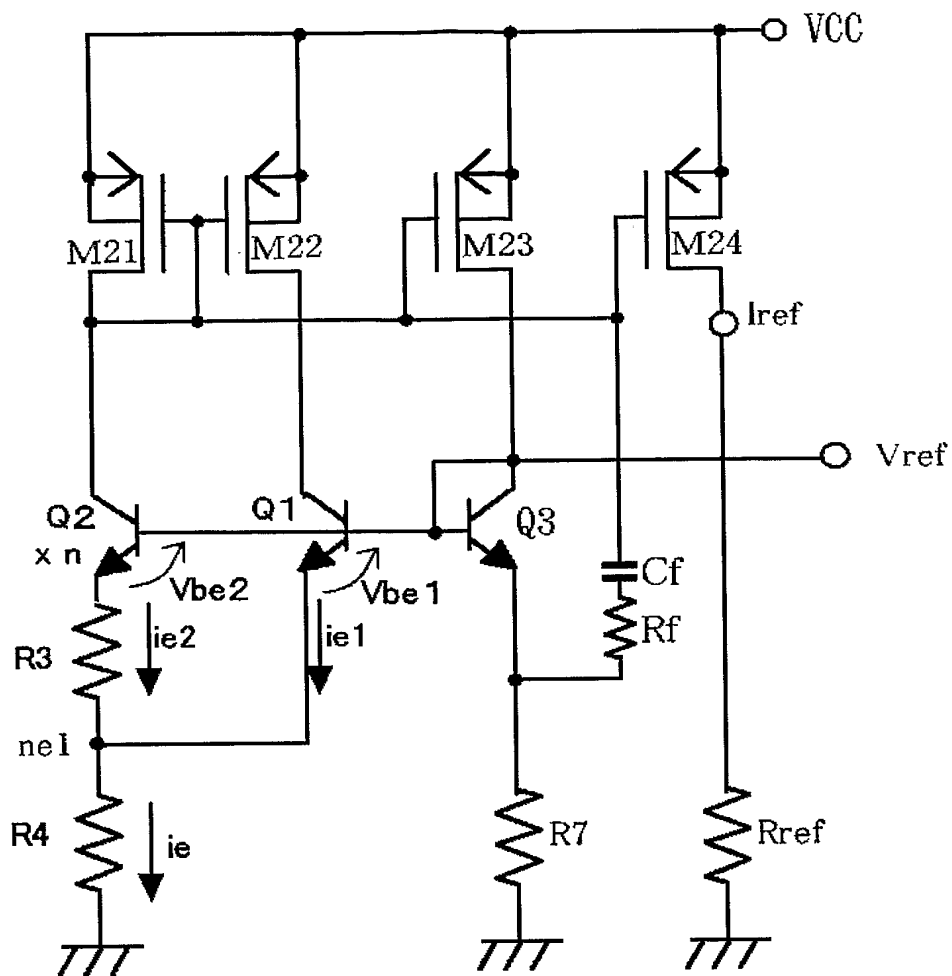
【図 15】



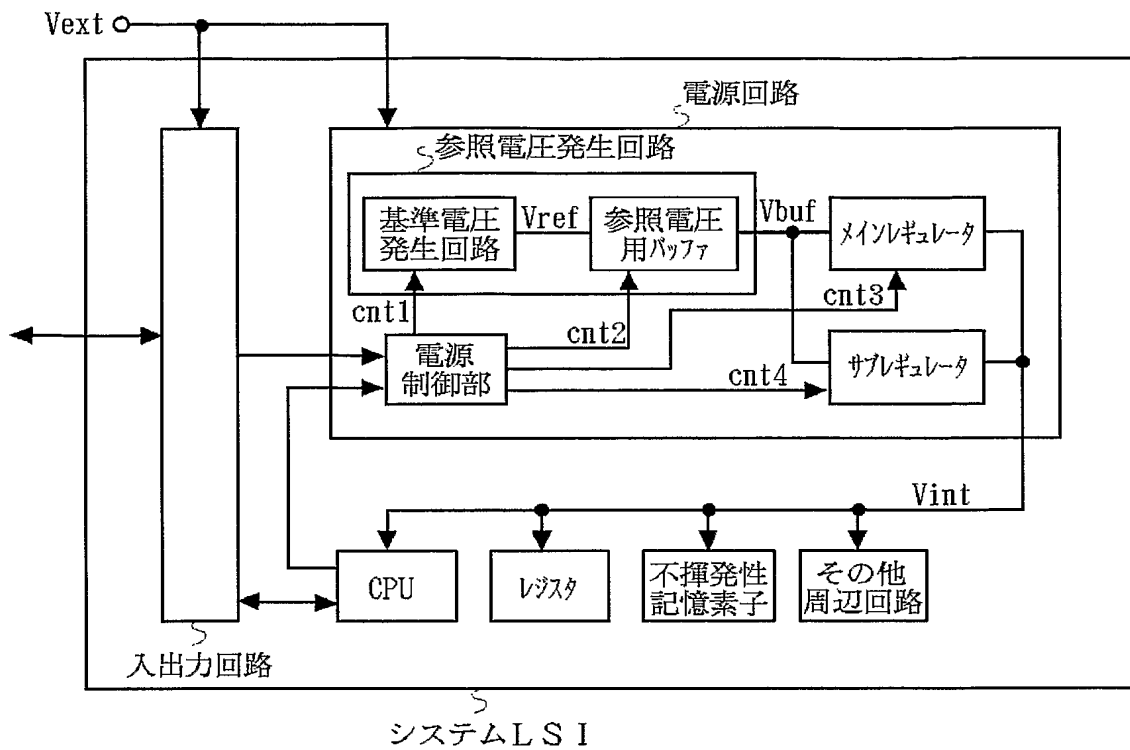
【図 16】



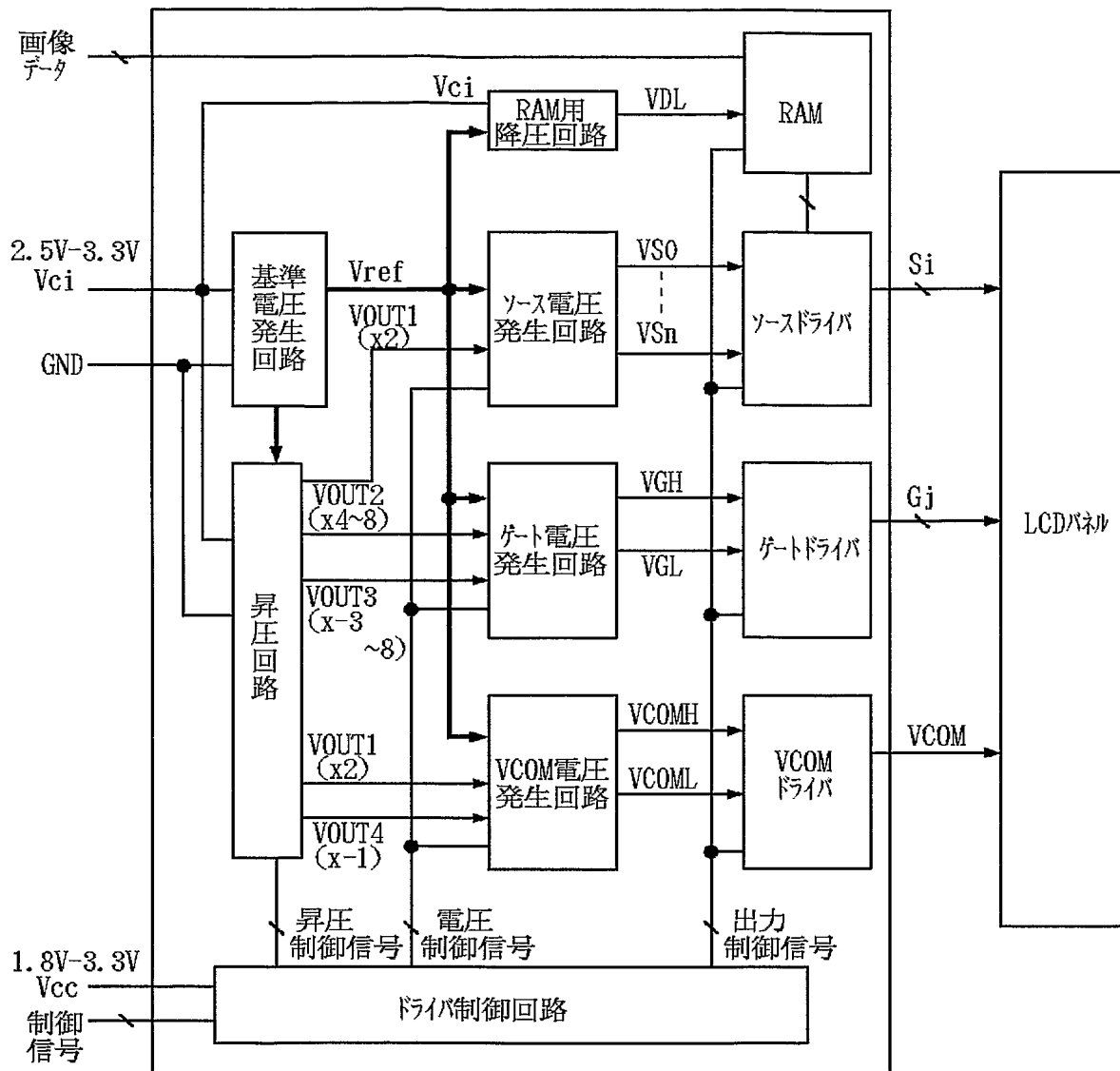
【図 17】



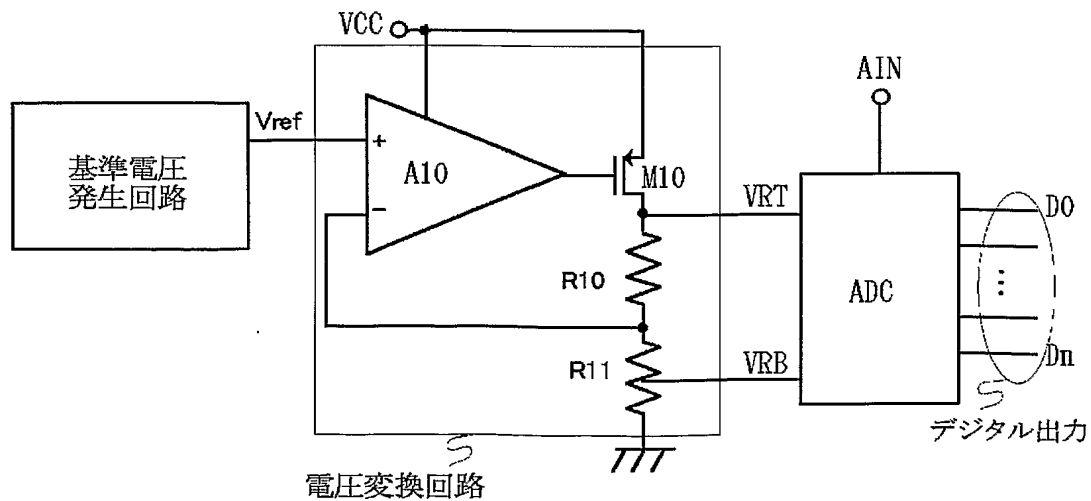
【図 18】



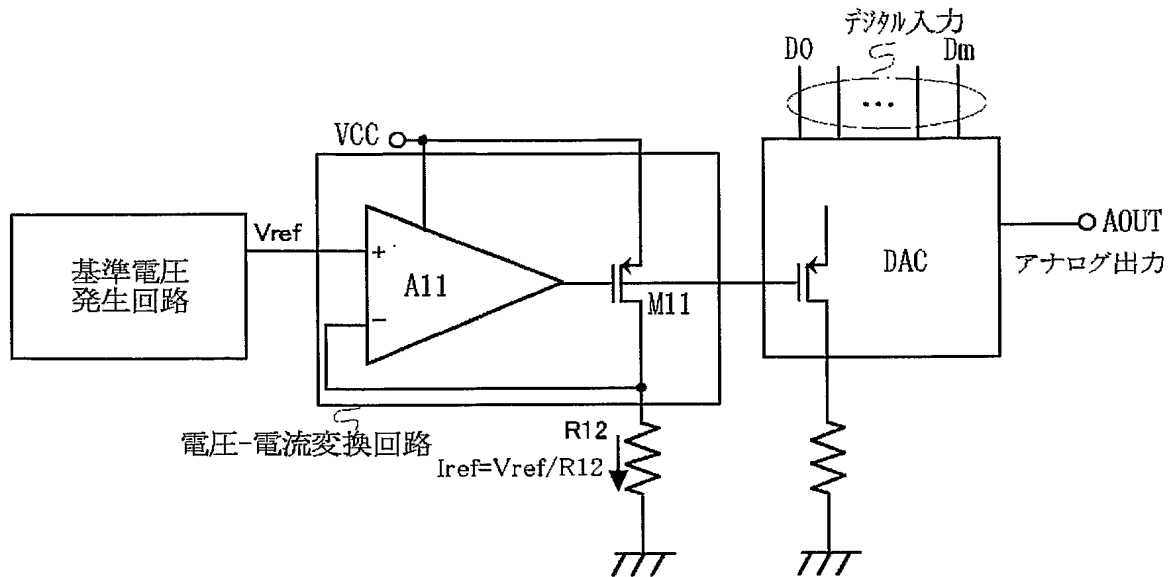
【図 19】



【図 20】

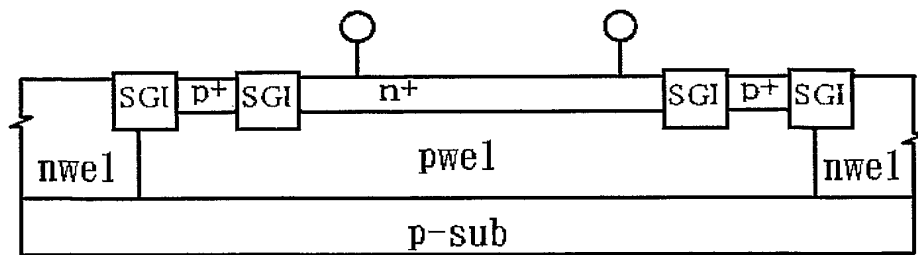


【図 21】

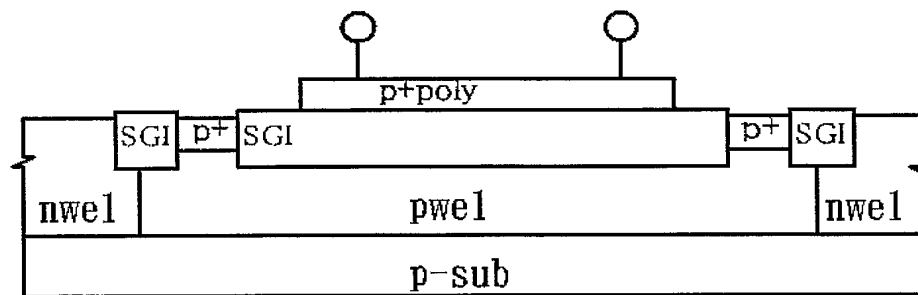


【図 22】

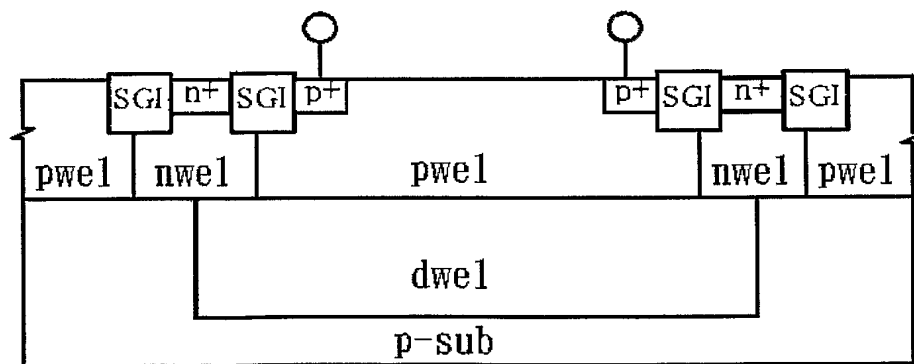
(A)



(B)

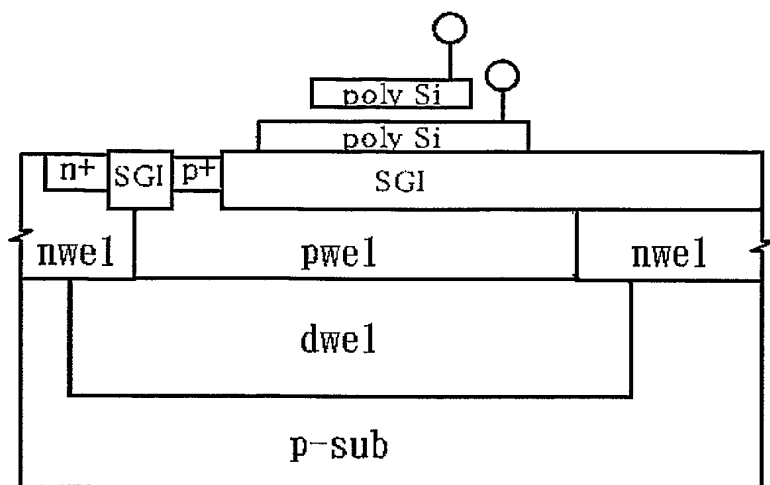


(C)

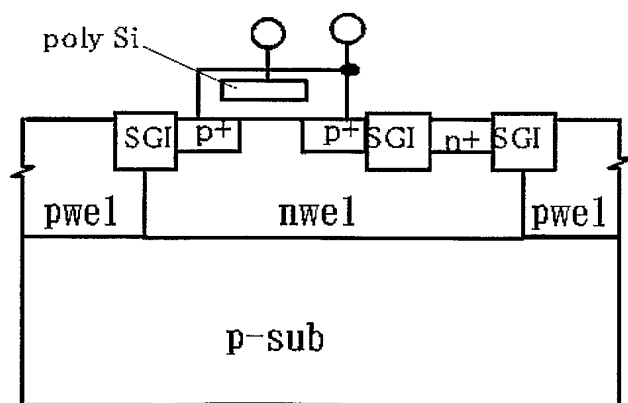


【図 23】

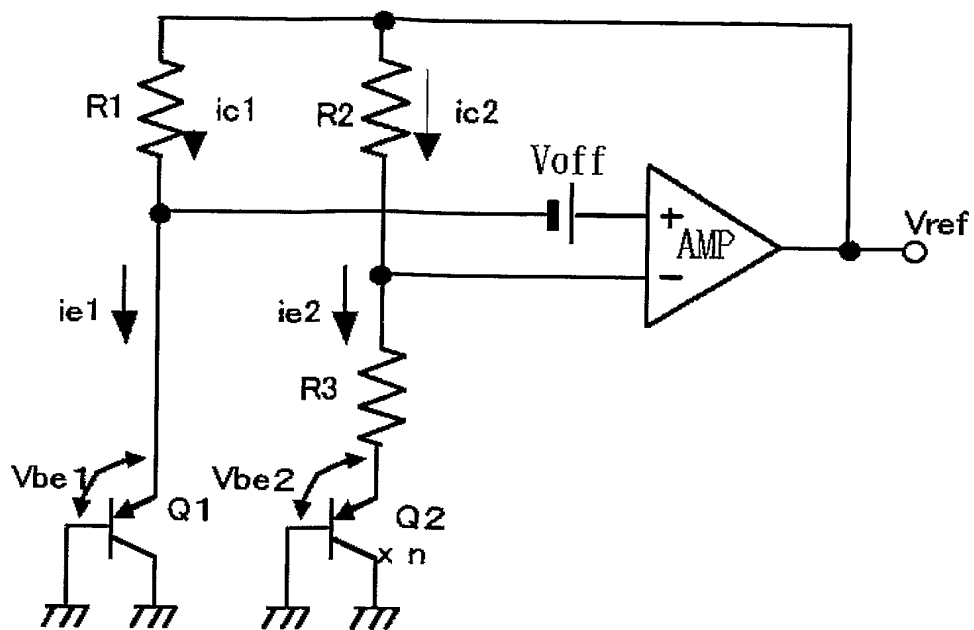
(A)



(B)



【図 24】



【書類名】 要約書

【要約】

【課題】 CMOS プロセスに好適な電圧発生回路及びそれを搭載した半導体集積回路装置を提供する。

【解決手段】 第1電流がエミッタに流れるようにされた第1トランジスタと、上記第1トランジスタよりも大きな電流密度となるような第2電流がエミッタに流れるようにされた第2トランジスタとのベース、エミッタ間の電圧差を第1抵抗に流して定電流を形成し、それと直列にして第2抵抗を回路の接地電位側に設け、上記第1トランジスタと第2トランジスタのコレクタと電源電圧との間に第3抵抗と第4抵抗とを設け、上記第1と第2トランジスタの両コレクタ電圧とCMOS構成の差動増幅回路に供給して、出力出力電圧を形成するとともに、かかる出力電圧を上記第1トランジスタと第2トランジスタのベースに共通に供給する。

【選択図】 図1

【書類名】 出願人名義変更届
【整理番号】 R03004191
【提出日】 平成16年12月 1日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2003-426796
【承継人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
 【代表者】 伊藤 達
【承継人代理人】
 【識別番号】 100081938
 【弁理士】
 【氏名又は名称】 徳若 光政
 【電話番号】 0422-46-5761
【譲渡人】
 【識別番号】 000233594
 【氏名又は名称】 株式会社ルネサス北日本セミコンダクタ
 【代表者】 中山 廣次
【手数料の表示】
 【予納台帳番号】 000376
 【納付金額】 4,200円

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 4 2 6 7 9 6
受付番号	5 0 4 0 2 0 5 0 6 4 4
書類名	出願人名義変更届
担当官	鈴木 夏生 6 8 9 0
作成日	平成 1 7 年 1 月 7 日

<認定情報・付加情報>

【承継人】

【識別番号】	503121103
【住所又は居所】	東京都千代田区丸の内二丁目 4 番 1 号
【氏名又は名称】	株式会社ルネサステクノロジ
【承継人代理人】	申請人
【識別番号】	100081938
【住所又は居所】	東京都三鷹市井の頭 5 丁目 1 6 番 8 号 徳若特許事務所
【氏名又は名称】	徳若 光政

【譲渡人】

【識別番号】	000233594
【住所又は居所】	北海道千歳市泉沢 1 0 0 7 番地 3 9
【氏名又は名称】	株式会社ルネサス北日本セミコンダクタ

特願 2 0 0 3 - 4 2 6 7 9 6

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ

特願 2 0 0 3 - 4 2 6 7 9 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 5 9 4]

1. 変更年月日

2 0 0 3 年 4 月 1 1 日

[変更理由]

名称変更

住 所

北海道千歳市泉沢 1 0 0 7 番地 3 9

氏 名

株式会社ルネサス北日本セミコンダクタ